

Docket No.: 67161-078

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Takashi KONO : Confirmation Number:
: :
Serial No.: : Group Art Unit:
: :
Filed: August 18, 2003 : Examiner:
: :
For: SEMICONDUCTOR DEVICE INCLUDING VOLTAGE CONVERSION CIRCUIT HAVING
TEMPERATURE DEPENDENCY

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-049294(P), filed February 26, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:mcw
Facsimile: (202) 756-8087
Date: August 18, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-078

T. KONO

August 18, 2003

MaDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月26日

出 願 番 号

Application Number:

特願2003-049294

[ST.10/C]:

[JP2003-049294]

出 願 人

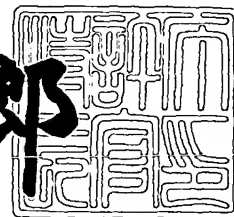
Applicant(s):

三菱電機株式会社

2003年 3月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3017787

【書類名】 特許願

【整理番号】 543907JP01

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 3/24

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 河野 隆司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 入力電圧の電圧値を回路内に設けられた抵抗部の抵抗値の温度変化に応じて変換し出力電圧を出力する電圧変換回路であって、

第 1 の電圧線と第 1 のノードとの間に接続された第 1 のトランジスタを有し、この第 1 のトランジスタに前記入力電圧が与えられことにより入力電流を流す入力部と、

前記第 1 のノードと前記第 1 の電圧線と異なる電圧を供給する第 2 の電圧線との間に接続された第 2 のトランジスタ、および前記入力電流に応じた出力電流が流れる第 2 のノードと前記第 2 の電圧線との間に接続された第 3 のトランジスタとを有し、この第 2 および第 3 のトランジスタによりカレントミラーを構成するカレントミラー部と、

前記第 2 のノードと前記第 1 の電圧線との間に接続された第 4 のトランジスタを有し、前記出力電流に応じた前記出力電圧を前記第 2 のノードから出力する出力部と、

前記第 2 の電圧線と前記第 2 のトランジスタとの間、または前記第 1 の電圧線と前記第 4 のトランジスタとの間のいずれか一方の間のみに接続された前記抵抗部とを備え、

前記回路内の他の部分のいずれにも前記抵抗部および他の抵抗部を備えない電圧変換回路を含む半導体装置。

【請求項 2】 複数の前記電圧変換回路がカスケード接続された電圧変換回路段を含む請求項 1 に記載の半導体装置。

【請求項 3】 第 1 の電圧線に接続され前記入力電圧を受け入力電流を流す入力部と、前記第 1 の電圧線とは異なる電圧を供給する第 2 の電圧線に接続され前記入力電流に応じて出力電流を供給するカレントミラー部と、前記第 1 の電圧線に接続され前記出力電流に応じて前記出力電圧を出力する出力部と、前記カレントミラー部と前記第 2 の電圧線の間または前記出力部と前記第 1 の電圧線の間

換回路段を含むものであって、

前記電圧変換回路を構成する回路素子の接続関係は各段で同じであり、温度上昇に合わせて各段の前記各抵抗部の抵抗値はいずれもが上昇して各段の前記出力電圧が上昇し、または温度上昇に合わせて各段の前記各抵抗部の抵抗値はいずれもが低下して各段の前記出力電圧が低下する半導体装置。

【請求項 4】 前記抵抗部は、各々の前記電圧変換回路内で 1 箇所のみであり、

その他の部分には前記抵抗部および他の抵抗部を有しない、請求項 3 に記載の半導体装置。

【請求項 5】 前記電圧変換回路段において、少なくとも 2 つの前記電圧変換回路間の前記抵抗部は互いに温度特性の異なる抵抗材料である請求項 2 から 4 のいずれかに記載の半導体装置。

【請求項 6】 他の抵抗部を有し前記電圧変換回路段の初段に前記入力電圧を供給する定電圧源回路を含み、

前記電圧変換回路段の少なくとも初段を除く他の段の抵抗部の抵抗材料と前記定電圧源回路の抵抗部の抵抗材料とが同一の抵抗材料である請求項 2 から 5 のいずれかに記載の半導体装置。

【請求項 7】 前記抵抗部の抵抗材料が等しいものの間において、抵抗部のパターンが同じパターン幅を持ってそれぞれの抵抗値に応じた長さを有する請求項 6 に記載の半導体装置。

【請求項 8】 前記抵抗部の抵抗材料が同じ電圧変換回路間では、前記抵抗部のパターンが同じパターン幅を持ってそれぞれの抵抗値に応じた長さを有する請求項 2 から 6 のいずれかに記載の半導体装置。

【請求項 9】 前記電圧変換回路段のうち、いずれかの段の前記抵抗部は、可変抵抗を含む請求項 2 から 6 のいずれかに記載の半導体装置。

【請求項 10】 前記電圧変換回路段のうち、初段の電圧変換回路の抵抗部のみが可変抵抗を含むことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記電圧変換回路段のうち、最終段を除く途中の段のいずれかの出力電圧を選択し、この出力電圧に対応した電圧を出力可能な出力電圧発

生回路を含む請求項 2 から 1 0 のいずれかに記載の半導体装置。

【請求項 1 2】 前記電圧変換回路段の初段に前記入力電圧を供給する定電圧源回路を含み、

この定電圧源回路を構成するトランジスタのゲート幅を可変とすることで前記入力電圧を調節可能な請求項 2 から 5 のいずれかに記載の半導体装置。

【請求項 1 3】 前記電圧変換回路段の各段の同一の構成部分のトランジスタは、それぞれゲート長およびゲート幅の等しいトランジスタのパターンを単数または複数並列に接続したものである請求項 2 から 1 0 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、入力電圧の電圧値を回路内に設けられた抵抗部の抵抗値の温度変化に応じて変換し出力電圧を出力する電圧変換回路を含む半導体装置に関するものである。

【0 0 0 2】

【従来技術】

近年、携帯電話やPDAなどの携帯機器が一般に広く普及するにつれ、それら機器が処理する情報量も飛躍的に増大している。そのため、ワークメモリの大容量化は著しく、ビットコストの観点からDRAM (Dynamic Random Access Memory) セルベースの半導体メモリが主に使用されている。

しかし、電池駆動である携帯機器にとって、DRAMセルに必須なリフレッシュ動作による待機時電流の増加は重大な問題である。

【0 0 0 3】

一方、DRAMセルのデータ保持時間は、動作温度に大きく影響され、温度が高くなると急激にデータ保持時間は短くなるため、この特性に合わせるようリフレッシュインターバルを温度と共に変化させることが望ましい。

より具体的には、温度が低くなるほどリフレッシュインターバルが伸びるように制御することで、携帯機器が一般に使用される室温付近でのリフレッシュ動作

電流を低減させ、携帯機器の待機時消費電流を削減している。

このように、リフレッシュインターバルを決める発振回路であるリングオシレータに流す電流を温度に応じて調節する方法が従来から用いられていた（例えば、特許文献 1 参照）。

【 0 0 0 4 】

【特許文献 1】

特開平 9 - 2 0 4 7 7 3 号公報（第 7 - 第 8 頁、第 1 - 第 5 図）

【 0 0 0 5 】

【発明が解決しようとする課題】

従来においては、次段のトランジスタが一定の電流を流すことができるよう、次段のトランジスタのゲート電極に一定の電圧を供給する電圧変換回路、機能的には入力電圧の電圧値を異なる電圧値に変換して出力電圧を出力する回路、（以後電圧変換回路と記す）が温度依存性を有して出力電圧を変化させていた。

この出力電圧の変化に応じてリングオシレータに流れる電流が変わり、発振周波数が変化していた。

しかしながら、MOSトランジスタと電源電圧線との間に接続される抵抗の抵抗値等の製造ばらつきによって、温度依存性がばらつくことがわかって来ている。

これらは、ウエハ毎やウエハ面内でチップごとに必ずしも同じ傾向に変化してばらつくとは限らないものである。

【 0 0 0 6 】

この発明は、上述のような課題を解決するためになされたものであり、温度依存性を有する電圧変換回路において、製造ばらつきの影響を抑制することを目的としたものである。

また、ばらつきの制限要求度に応じた温度依存性を有する電圧変換回路を得ることを目的としたものである。

【 0 0 0 7 】

【課題を解決するための手段】

本発明に係る半導体装置は、入力電圧の電圧値を回路内に設けられた抵抗部の抵抗値の温度変化に応じて変換し出力電圧を出力する電圧変換回路であって、第

1の電圧線と第1のノードとの間に接続された第1のトランジスタを有し、この第1のトランジスタに前記入力電圧が与えられことにより入力電流を流す入力部と、第1のノードと第1の電圧線と異なる電圧を供給する第2の電圧線との間に接続された第2のトランジスタ、および入力電流に応じた出力電流が流れる第2のノードと第2の電圧線との間に接続された第3のトランジスタとを有し、この第2および第3のトランジスタによりカレントミラーを構成するカレントミラー部と、第2のノードと第1の電圧線との間に接続された第4のトランジスタを有し、出力電流に応じた出力電圧を第2のノードから出力する出力部と、第2の電圧線と第2のトランジスタとの間、または第1の電圧線と第4のトランジスタとの間のいずれか一方の間のみに接続された抵抗部とを備え、回路内の他の部分のいずれにも抵抗部および他の抵抗部を備えないものである。

【0008】

本発明に係る他の半導体装置は、第1の電圧線に接続され入力電圧を受け入力電流を流す入力部と、第1の電圧線とは異なる電圧を供給する第2の電圧線に接続され入力電流に応じて出力電流を供給するカレントミラー部と、第1の電圧線に接続され出力電流に応じて出力電圧を出力する出力部と、カレントミラー部と第2の電圧線の間または出力部と第1の電圧線の間接続された抵抗部とを有する電圧変換回路が複数カスケード接続された電圧変換回路段を含むものであって、電圧変換回路を構成する回路素子の接続関係は各段で同じであり、温度上昇に合わせて各段の各抵抗部の抵抗値はいずれもが上昇して各段の出力電圧が上昇し、または温度上昇に合わせて各段の各抵抗部の抵抗値はいずれもが低下して各段の出力電圧が低下するものである。

【0009】

【発明の実施の形態】

従来、発明者において、電圧変換回路の特性ばらつきが生じることはわかってきていたものの、どの部分がばらつきに大きく影響し、また、製造方法ではなく、回路構成でどのように抑えるかは適切な解析が十分できていなかった。

図26に示すものは、当社において先に検討された参考例としての電圧変換回路101である。

この回路の特徴は、2つの抵抗 R_a と R_n を用いることで、大きな温度変化特性を得られることである。

【0010】

しかしながら、今回の解析からわかってきたことは、以下のことである。

P型MOSトランジスタMPAのソースに接続される抵抗 R_p と、N型MOSトランジスタMNBのソースに接続される抵抗 R_n とは、接続の容易性等の問題から、異なる材料の抵抗を用いている。

しかしながら、異なる材料間では抵抗値のばらつきが大きくなる傾向にあることである。

【0011】

さらに、入力電流 I_{pi} 側は、P型MOSトランジスタ、出力電流 I_{po} 側は、N型MOSトランジスタのSファクタが温度変化の要素となり、N型とP型の間のSファクタのばらつきが問題となることがわかってきた。

以降の実施の形態では、これらのことを考慮したばらつきを抑制する回路を見出した。

【0012】

実施の形態1.

図1に本実施の形態の電圧変換回路を示す。

図1において、電圧変換回路1は、第1の電圧線である接地線に接続され、電圧変換回路の入力電圧BIASL0が入力される入力部INAと、接地線に接続され、入力電圧BIASL0に応じて電圧変換回路の出力電圧BIASL1を出力する出力部OUTAと、第2の電圧線であるVcc線に接続され、入力電圧BIASL0に応じて、入力部INAに流れる入力電流 I_{L1} に応じて、出力部OUTAに流れる出力電流 I_{R1} を変化させるカレントミラー部CUAと、Vcc線とカレントミラー部の間に接続される抵抗部から構成される。

なお、温度変化によって抵抗部の抵抗値が変化することで、出力電流 I_{R1} および出力電圧BIASL1が変化するものである。

また、今後の説明において、入力および出力電流の変化を説明した場合は、これに応じて、入力および出力電圧が変化しているものとし、また、逆に入力およ

び出力電圧の変化を説明した場合は、これに応じて、入力および出力電流が変化しているものとする。

【 0 0 1 3 】

次に、本実施の形態の電圧変換回路の構成を詳細に述べる。

図 1 において、第 1 のトランジスタである入力部 INA を構成する N 型 MOS トランジスタ MN1 は、第 1 ノード N1 に一方の導通端であるドレインが接続され、電圧変換入力電圧 BIASL0 が入力されるノードに制御端であるゲートが接続され、他方の導通端であるソースが接地線に接続されている。

カレントミラー部 CUA は、入力電流 IL1 経路の第 1 のノード N1 に接続された第 2 のトランジスタである P 型 MOS トランジスタ MP1 および第 2 のノードに出力電流 IR1 を供給する第 3 のトランジスタである P 型 MOS トランジスタ MP2 で構成される。

また、P 型 MOS トランジスタ MP1 は、第 3 のノード N3 に一方の導通端であるソースが接続され、制御端であるゲートおよび他方の導通端であるドレインが第 1 のノード N1 に接続されている。

さらに、P 型 MOS トランジスタ MP2 は、Vcc 線に一方の導通端であるソースが接続され、制御端であるゲートが第 1 のノード N1 に接続され、他方の導通端であるドレインが電圧変換回路 1 の第 2 のノード N2 に接続されている。

出力部 OUTA を構成する第 4 のトランジスタである N 型 MOS トランジスタ MN2 は、出力電圧 BIASL1 が出力される第 2 のノード N2 に一方の導通端であるドレインおよび制御端であるゲートが接続され、他方の導通端であるソースが接地線に接続されている。

【 0 0 1 4 】

最後に、抵抗部は、図 1 において抵抗 X であり、Vcc 線と第 3 のノード N3 の間、つまり Vcc 線とカレントミラー部 CUA の間に接続されている。

次に、この電圧変換回路 1 の特徴については、抵抗部である抵抗 X が、第 3 のノード N3 と Vcc 線の間のみ設けられ、他の部分には抵抗が設けられていない点である。

また、この抵抗 X にかかる電圧は、例えば P 型 MOS トランジスタ MP1 の S ファクタで示される電圧値の少なくとも 1/20 以上のものである。

Sファクタは通常 $60 \text{ mV/decade} \sim 100 \text{ mV/decade}$ であるので、抵抗 X にかかる電圧は、 3 mV 以上ということになる。

さらに別の表現をすると、ここでは入力電流 $IL1$ の値にもよるが、例えば $IL1 = 1 \mu\text{A}$ とすると、抵抗値は $3 \text{ k}\Omega$ 以上程度のものとなる。

このため、本実施の形態等で述べる抵抗部の抵抗等とは、通常のソース、ドレイン等につく活性領域やコンタクトによる寄生抵抗に加えてさらに別に設けられるものである。

【0015】

また、抵抗 X は温度変化に応じて抵抗値が変化するものであり、使用用途に応じて、温度の上昇に伴い抵抗値が上昇する正の温度特性の抵抗材料、もしくは温度の上昇に伴い抵抗値が低下する負の温度特性の抵抗材料を選択することとなる。

具体的には、例えば正の温度特性を示す抵抗材料として n 型ポリシリコン、 n 型拡散層、 p 型拡散層などを用いることができ、室温から $70 \sim 80^\circ\text{C}$ に上昇するとそれぞれ、 $2 \sim 4\%$ 、 $8 \sim 12\%$ 、 $8 \sim 12\%$ 程度抵抗値が上昇する。

また、負の温度特性を示す抵抗材料として不純物がドーピングされていないシリコンやゲルマニウム等が上げられる。

【0016】

次に動作について述べる。

なお、ここでの P 型MOSトランジスタ $MP1$ 、 $MP2$ はサブスレッショルド領域で動作するものとする。このため、ゲート・ソース間電圧の少しの変化でも P 型MOSトランジスタを流れる電流は大きく変化する。

電圧変換回路1では、抵抗 X の抵抗値の温度変化により、図1に示す P 型MOSトランジスタ $MP1$ のゲート・ソース間電圧 V_{gsL} が変化する。

【0017】

これに応じて、 P 型MOSトランジスタ $MP2$ のゲート・ソース間電圧 V_{gsR} も変化する、出力電流 $IR1$ および出力電圧 $BIASL1$ が決まる。

さらに具体的には、抵抗部が正の温度特性を有する場合、温度が上昇すると、抵抗値が上昇し、 P 型MOSトランジスタ $MP2$ のゲート・ソース間電圧 V_{gsR} が大きくなり、出力電流 $IR1$ が増加し、出力電圧が上昇する。

また、抵抗部が負の温度特性を有する場合、温度が上昇すると、抵抗値が低下し、P型MOSトランジスタMP2のゲート・ソース間電圧 V_{gsR} が小さくなり、出力電流 I_{R1} が減少し、出力電圧が降下する。

【 0 0 1 8 】

つまり電圧変換回路1においては、出力電圧 $BIASL1$ の温度変化は、入力 $BIASL0$ が一定の場合、抵抗Xの抵抗値とP型MOSトランジスタMP1およびMP2のサブスレッショルド領域の特性によりほぼ決定することができたため、P型MOSトランジスタのソースおよびN型MOSトランジスタのソースに抵抗を設けるような図26の電圧変換回路に比べ、両MOSトランジスタ間でのSファクタのばらつきによる影響がなくなる点で優れている。

また、抵抗が1つで、抵抗材料を1つとできるので、抵抗材料間のばらつきの問題も生じない。

【 0 0 1 9 】

次に、上記の定性的な説明を式を用いて説明する。

具体的には、入力電流 I_{L1} と出力電流 I_{R1} の関係より求めていく。

ここで、MP1,MP2のチャネル幅を $WL1,WR1$ ($WL1 > WR1$) とする。

なお、MP1,MP2のチャネル長は同じとする。

図1におけるMP1,MP2のゲート・ソース間電圧の関係から以下の関係式(1)を得る。

【 0 0 2 0 】

$$V_{gsL}(I_{L1}) + I_{L1} \times R_{L1} = V_{gsR}(I_{R1}) \quad \dots (1)$$

【 0 0 2 1 】

ここで、 $V_{gsL}(I_{L1})$ は入力電流 I_{L1} が流れるときのMP1のゲート・ソース間電圧を示し、 $V_{gsR}(I_{R1})$ は出力電流 I_{R1} を流すMP2のゲート・ソース間電圧を示す。

図2には、MP1,MP2のサブスレッショルド領域における特性を示すものである。縦軸は、MOSトランジスタのドレイン電流 i の常用対数をとったものである $\log(i)$ 、横軸はゲート・ソース間電圧 V_{gs} を示す。

ここでMP1,MP2のSファクタをいずれもSとし、 I をサブスレッショルド領域における任意の電流値を意味するとする。

図 2 から明らかなように、電流 I において、以下の関係が成り立つ。

【 0 0 2 2 】

$$V_{gsR}(I) - V_{gsL}(I) = S \times \log(WL1/WR1) \quad \dots (2)$$

【 0 0 2 3 】

さらに図 2 から明らかなように、以下の関係も成り立つ。

【 0 0 2 4 】

$$\log(IR1) - \log(IL1) = \{V_{gsL}(IR1) - V_{gsL}(IL1)\} / S \quad \dots (3)$$

【 0 0 2 5 】

次に、式 (2) において $I=IR1$ とし、式 (1) から (3) を整理すると、 $IL1$ と $IR1$ の関係式 (4) が次のように導出される。

【 0 0 2 6 】

$$IR1 = (WR1/WL1) \times IL1 \times 10^{(IL1 \times RL1/S)} \quad \dots (4)$$

【 0 0 2 7 】

この式 (4) を用いて、温度が Ta から Tb まで変化した場合の $IR1$ の温度変化量 (温度特性) $IR1(Tb)/IR1(Ta)=\Delta IR1$ が式 (5) のように求められる。

【 0 0 2 8 】

$$\Delta IR1 = \Delta IL1 \times 10^{[\alpha \times \{1 - \Delta S/(\Delta IL1 \times \Delta RL1)\}]} \quad \dots (5)$$

【 0 0 2 9 】

ただし、 $\Delta IL1$ 、 ΔS 、 $\Delta RL1$ は、 $\Delta IL1= IL1(Tb)/IL1(Ta)$ 、 $\Delta S= S(Tb)/S(Ta)$ 、 $\Delta RL1=RL1(Tb)/RL1(Ta)$ とそれぞれの温度変化量を表す。

また係数 α (以後、増幅係数と呼ぶ) は、以下のものとする。

【 0 0 3 0 】

$$\alpha = IL1(Tb) \times RL1(Tb)/S(Tb) \quad \dots (6)$$

【 0 0 3 1 】

ここで増幅係数 α は、ある注目温度一点つまり温度 Tb で決まるものであり、その値は抵抗にかかる電圧を S ファクタで割ったものである。

式 (5) より、電圧変換回路 1 において出力電流の温度変化量 $\Delta IR1$ は入力電流の温度変化量 $\Delta IL1$ に対して、以下の関係となる。

【 0 0 3 2 】

$$\Delta IR1/\Delta IL1 = 10^{\left[\alpha \times \{1 - \Delta S/(\Delta IL1 \times \Delta RL1)\}\right]} \dots (7)$$

【 0 0 3 3 】

式(7)から、入力電流IL1の温度変化に対する出力電流IR1の温度変化の比が分かる。

例えば、DRAMのリフレッシュタイマの電圧変換回路として使用する場合を想定すると、電圧変換回路の出力電流は正の温度特性、言い換えれば、温度の上昇と共に出力電流が増加する特性を持つことが望まれるため、式(7)から、 $\Delta S/(\Delta IL1 \times \Delta RL1) < 1$ が成立するように抵抗Xの材料を選べばよいことになる。

【 0 0 3 4 】

例えば、抵抗Xの材料をNウエルのウエル抵抗とし、具体的な数値例を挙げると、 $\alpha=1$ 、 $\Delta IL1=1.1$ 、 $\Delta S=1.2$ 、 $\Delta RL1=1.2$ の場合、 $\Delta IR1/\Delta IL1=1.23$ であり、 $\Delta IR1=1.36$ となる。

【 0 0 3 5 】

以上、式(7)から言えることは、抵抗Xの温度変化と P型MOSトランジスタのSファクターで、入力電流に対する出力電流の温度変化を決められることである。

式(7)での ΔS は、P型MOSトランジスタのものであり、もう一方の N型MOSトランジスタのSファクタの影響は入らないため、 P型MOSトランジスタと N型MOSトランジスタ間のSファクターのばらつきの差異の影響が抑えられる。

また、抵抗も本回路の動作上、温度変化の影響がおよぶものは、抵抗X 1つのみなので、他の異なる材料からなる抵抗のばらつきの影響も抑制できることとなる。

【 0 0 3 6 】

次に、本実施の形態のパターンレイアウトの例を図3に示す。

図3のパターンレイアウトは図1のP型MOSトランジスタMP1,MP2、抵抗XおよびVcc線を示したものである。

図3において、PD1,PS1はそれぞれMP1のドレイン活性領域、ソース活性領域、PD2,PS2はそれぞれMP2のドレイン活性領域、ソース活性領域である。

PGA1,PGA2はそれぞれMP1,MP2のゲート電極である。

AR1は抵抗Xを形成するジグザグ状パターンであって、Nウエルのウエル抵抗を形成する活性領域のパターンである。

配線NL1はノードN1に対応し、コンタクトCH3,CH4,CH9,CH10を介してそれぞれPS1,PGA1,PGA2に接続されている。

配線NL2はノードN2に対応し、コンタクトCH5,CH6を介してPS2に接続されている。

配線NL3はノードN3に対応し、コンタクトCH1,CH2,CH11を介してそれぞれPD1,AR1に接続されている。

配線VccL1はVcc線であり、コンタクトCH7,CH8,CH12を介してそれぞれPD2,AR1に接続されている。

【 0 0 3 7 】

このように、P型MOSトランジスタMP2のドレインであるPD2にVcc線VccL1が直接接続されているが、P型MOSトランジスタMP1のドレインであるPD1は抵抗XであるAR1を介して接続されている。

なお、図3ではP型MOSトランジスタMP1とMP2のチャネル幅WL11とWR1が等しいものを示しているが、上述したようにP型MOSトランジスタMP1のチャネル幅はP型MOSトランジスタMP2のチャネル幅より大きくする場合、P型MOSトランジスタMP1を、図3に示すトランジスタパターンTAAが複数並列に配置したものとしても良い。

この場合、基本となるトランジスタパターンが同じなので、チャネル幅の大きいトランジスタと小さいトランジスタで特性を揃えることができる。

【 0 0 3 8 】

実施の形態2.

次に、実施の形態1の電圧変換回路1をDRAMのリフレッシュタイマー用のリングオシレータへ適用した場合について説明する。

図4は、リフレッシュタイマのブロック図である。

電圧源回路2から出力電圧BIASSにより、基本リングオシレータ3が制御され、基本リングオシレータ3からの発信信号RCYC0が通倍回路4にてN倍されてリフレッシュタイマの発振周期RCYCが決められる。

【 0 0 3 9 】

次に、図 5 に電圧源回路 2 の構成を示す。

電圧源回路 2 は、定電圧源回路 5 と、定電圧源回路 5 の出力電圧BIASL0が入力される実施の形態 1 で示した電圧変換回路 1、電圧変換回路 1 の出力電圧BIASL1が出力電圧発生回路 6 に入力され、出力電圧BIASSを出力する。

【 0 0 4 0 】

ここで、定電圧源回路 5 は、例えば図 6 に示されるものであり、通常Weak Inversion型と呼ばれるものであり、カレントミラーを構成する P型MOSトランジスタMP12とMP13はサブスレッショルド領域で動作している。

また、N型MOSトランジスタMN12とMN13もカレントミラーを構成しているため正帰還がかかる構成になっており、BIASL0が出力となる。

また、出力電圧発生回路 6 は、図 7 に示されるものであり、P型MOSトランジスタMP14に対するP型MOSトランジスタMP15のサイズ倍（ゲート長が等しく、ゲート幅がそれぞれWR0,WL0とすると、WR0/WL0倍となる。以後ミラー比と呼ぶ。）の電流増幅をはかり、電圧として出力するものである。

つまり、N型MOSトランジスタMN21のゲートに入力される入力電圧BIASL1をレベル変換して 次段の回路動作に適した電圧レベルとなるようにN型MOSトランジスタMN22より出力電圧BIASSとして出力する。

なお、通常、出力電圧変換回路 6 のトランジスタはしきい値電圧より高い電圧での動作を予定するものである。

【 0 0 4 1 】

次に図 8 に基本リングオシレータ 3 を示す。

M個（奇数）のインバータで基本的に構成され、各インバータのプルダウン側には電圧源回路 2 の出力電圧BIASSを受ける N型MOSトランジスタが挿入され、出力電圧発生回路 6 からミラーされる定電流Ic(T)で各インバータの出力ノードの電荷を引き抜くこととなる。

つまり、電圧変換回路 1 の変化に応じて、各インバータの駆動能力が制御され、基本リングオシレータ 3 の出力RCYC0の発振周波数が決められる。

【 0 0 4 2 】

さらに、通倍回路4を介して、リフレッシュタイマの発振周期RCYCが決められる。

以上のように、本実施の形態1の電圧変換回路1を用いることで、製造ばらつきの影響の少ない、温度依存性に優れたリフレッシュタイマが実現できる。

【0043】

実施の形態3.

実施の形態1、2においては、1つの電圧変換回路を例に示したが、電圧変換回路の出力電圧および出力電流の温度依存性を大きくしたい場合、1つの抵抗Xの温度変化のみによるのでは、製造の制限等から抵抗材料の選択が限られるため、大きな温度依存性が得られない場合がある。

このため、実施の形態3においては、より大きな温度依存性が得られるようにする電圧変換回路および電圧源回路を得るものである。

【0044】

図9に本実施の形態3の電圧源回路21を示す。

図9においては、電圧変換回路1と電圧変換回路11をカスケード接続したものであり、電圧変換回路段を構成する。

電圧変換回路1と電圧変換回路11はここでは、図1に示したものと同一のものとする。

カスケード接続することにより、1段では十分な温度特性を得られなくても、2段にして電圧変換回路段を構成することで、温度変化の大きい電圧変換回路を得られる。

次に、式を用いて説明する。

2段目の入力電流をIL2、出力電流をIR2、増幅係数を β 、抵抗値をRL2とし、 $I_{R1}=I_{L2}$ とする。

この場合、式(5)と同様に以下の式(8)が得られる。

【0045】

$$\Delta I_{R2} = \Delta I_{L2} \times 10^{[\beta \times \{1 - \Delta S / (\Delta I_{L2} \times \Delta R_{L2})\}]} \quad \dots$$

(8)

【0046】

さらに、一段目の関係を考慮すると以下ようになる。

【 0 0 4 7 】

$$\Delta IR2 = \Delta IR1 \times 10^{[\beta \times \{1 - \Delta S / (\Delta IR1 \times \Delta RL2)\}]} \quad \dots$$

(9)

【 0 0 4 8 】

ここで、具体的な数値例を挙げて電流の温度変化量について検討すると、実施の形態 1 で示した 1 段では、 $\alpha=1$ 、 $\Delta IL1=1.1$ 、 $\Delta S=1.2$ 、 $\Delta RL1=1.2$ の場合、 $\Delta IR1=1.36$ となる。

これに対し、本実施の形態では、 $\beta=1$ 、 $\Delta S=1.2$ 、 $\Delta RL2=1.2$ の場合、 $\Delta IR2=2.50$ となる。

このように、1 段では $\Delta IR1=1.36$ であったものが、2 段では $\Delta IR2=2.50$ となり、温度変化量を大きくできる。

【 0 0 4 9 】

次に、パターンレイアウトについて述べる。

図 1 0 に、1 段目の電圧変換回路 1 と 2 段目の電圧変換回路のパターン図を示す。

電圧変換回路 1 および電圧変換回路 1 1 のパターンは図 3 の一部と同様である。

電圧変換回路 1 1 のパターンにおいて、PD21, PS21 はそれぞれ P 型 MOS トランジスタのドレイン活性領域、ソース活性領域、PGA21 はゲート電極である。

AR2 は抵抗 X2 を形成するジグザグ状パターンの N ウェルのウェル抵抗を形成する活性領域のパターンである。

なお、抵抗値を上げるため、パターン幅は同じとし、パターンの長さ、つまり図に示したジグザグ状のものを複数段に連続しても良い。

【 0 0 5 0 】

配線 NL21 は、コンタクト CH23, CH24 を介して PS21 に接続されている。

配線 NL23 は、コンタクト CH21, CH22, CH20 を介してそれぞれ PS21, AR2 に接続されている。

配線 VccL1 は Vcc 線であり、コンタクト CH31 を介して AR2 に接続されている。

本図では、電圧変換回路 1 と 1 1 のトランジスタのパターンおよび抵抗 X と抵抗 X2 の設計上のパターンを同じとしている。

これにより寸法等の製造ばらつきを生じて、大きなばらつきにならないようできる。

また、特に抵抗が重要な要素であるため、図 1 0 に示す活性領域幅 W1 と W2、各段の長さ L1 と L2、活性領域間隔 S1 と S2 が等しくすることが望ましい。

いずれかを等しくする場合には、活性領域幅であるパターン幅を等しくするのが最も好ましい。

これは、パターン幅が他の寸法に比べ短く、最も製造方法によりばらつきやすいと考えられるためである。

しかしながら、より規則性があるパターンの方がばらつき抑制面からは優れているので、同一パターンの繰り返しのほうが製造ばらつきを抑制できると考えられる。

このため、活性領域間隔であるパターン間隔や各段の長さもそれぞれ等しい長さで繰り返す方が望ましい。

ただし、実際のデバイスにおいては、パターン上の制限や製造ばらつきにより等しくならず、10%前後のばらつきが生じることはあるものと考えられる。

なお、各パターンの向きを回路間で揃えることで、イオン注入の注入角度の問題から生じる活性領域の非対称性による抵抗値ばらつきも生じなくできる。

【0051】

また、ここでは電圧変換回路のカスケード接続が 2 段の例を示したが、2 段に限られるものでなく、3 段以上の複数段であってもよい。

さらに、各電圧変換回路段で抵抗値を変えてもよく、この場合、抵抗材料は同じとして、抵抗のパターン幅も揃え、抵抗のパターンの長（ジグザクパターンの段数）等を各電圧変換回路段で変えることにより調節するのが望ましい。

これにより、各段の出力電圧の温度特性のばらつきを抑制しつつ、抵抗値に応じて各段で出力を変化させることができる。

【0052】

以上において説明した電圧変換回路は、各段の電圧変換回路の各素子の接続構

成は同じであるため、出力電圧および出力電流の温度変化量を決める要素は、式（５）、（９）に示されたものによる。

つまり、定電圧源回路５の出力BIASL0で決まる電圧変換回路１の入力電流 $IL1$ 、抵抗値の温度変化量 $\Delta RL1$ 、 $\Delta RL2$ 、P型MOSトランジスタのSファクタにより決まる。

本実施の形態では、Sファクタについては、一方の導電型のMOSトランジスタ、つまりここではP型MOSトランジスタのみ考慮すればよく、N型MOSトランジスタとP型MOSトランジスタと間のSファクタのプロセスばらつきの影響は抑制できる。

また、抵抗値については、 $RL1$ と $RL2$ の抵抗材料を同じとすることで、抵抗材料間のばらつきの要因をなくし、抵抗ばらつきを抑制できる。

【 0 0 5 3 】

なお、抵抗ばらつきを抑制できる理由は以下によるものと考えられる。

例えば抵抗材料Aと抵抗材料Aと異なる抵抗材料Bの抵抗値の中心値が予定よりそれぞれずれることがある。

このため抵抗材料が異なる場合、材料内のばらつきと材料間のばらつきが加わり、大きなばらつきを生じることもある。

しかし、同じ抵抗材料であれば、材料間のばらつきが除かれることになる。

また、レイアウトパターンを各段共通にすることで、さらなるばらつきを抑制できる。

【 0 0 5 4 】

なお、従来においては、一般的に回路数を増加することはばらつきを増加させることにつながり、適切な方向と考えられていなかった。

しかしながら、本実施の形態に示したように、ばらつきの中でも、MOSトランジスタ間のSファクタと抵抗材料に注目し、そのばらつきを抑制する構成とすることで、複数段による回路数の増加があっても、全体としてはばらつきを抑制できるものである。

また、上記Sファクタと抵抗材料の要件を満たせば、各段で若干の回路構成に差異が生じてもばらつきを一定以下にできると考えられる。

【 0 0 5 5 】

以上のように、本実施の形態の発明によれば、MOSトランジスタ間のSファクタのばらつきおよび抵抗材料間の抵抗ばらつきを抑制した電圧変換回路をカスケード接続したことにより、製造ばらつきを抑制しつつ、大きな温度特性が得られるものである。

【 0 0 5 6 】

さらに、本実施の形態によれば、電圧変換回路の段数により広範囲の温度特性を実現できるため、図5に示した定電圧源回路5の出力であり、電圧変換回路1の入力であるBIASL0にも大きな温度変化量が特には要求されない。

このため、本実施の形態の定電圧源回路5は、大きな温度変化量が要求されない半導体装置の基準電位を発生させる内部電圧発生回路用の定電圧源回路と兼用することが可能となり、レイアウト面積削減と消費電流削減という効果も期待できる。

特に、定電圧源回路は、チップ間でのばらつきを極力抑制するようにするため、この回路自体のレイアウト面積が非常に大きくなっており、複数の回路への出力として兼用できることは大きな利点である。

【 0 0 5 7 】

実施の形態4.

実施の形態3においては、トランジスタ間のSファクタのばらつきおよび抵抗部の抵抗材料間のばらつきのいずれも抑制するものを示した。

しかしながら、上記ほどはばらつきの抑制が制限されない場合についてのものが本実施の形態である。

本実施の形態では、例えば、トランジスタ間のSファクタのばらつきもしくは抵抗部の抵抗材料間のばらつきのいずれか一方を抑制するものでも良い。

トランジスタ間のSファクタのばらつきの抑制ができれば良い場合には、例えば実施の形態3で示した図9、図10と同じ構成、つまり、抵抗部が各段で同じ部分に1箇所とし、1段目である電圧変換回路1と2段目である電圧変換回路11とで、抵抗Xの材料を変えることが考えられる。

これは、特にレイアウトの制限等により、同じ抵抗材料の抵抗が使用できない

場合、パターン面積を小さくできる点で良い。

【0058】

また、抵抗材料間のばらつきの抑制ができれば良い場合には、例えば図26に示した電圧変換回路101をカスケード接続しても良い。

この場合、抵抗 R_p と R_n 間で抵抗材料は同一とする。

さらに、トランジスタ間のSファクタのばらつきおよび抵抗材料間のばらつきのいずれもが許容できるような場合でも、カスケード接続される各段の電圧変換回路の等価回路が同じであることが望ましい。

具体的には、図1に示した電圧変換回路1や図26に示した電圧変換回路101をそれぞれカスケード接続しても良い。

各段の回路を構成する回路素子の接続関係が同じである等価回路であれば、各段間のばらつき傾向が同じとなり、各段で異なる等価回路を用いてカスケード接続したものに比べ、ばらつきが少なくでき、ばらつきを抑えつつ、大きな温度特性を得られる。

また、各段の電圧変換回路のパターンレイアウトを共通化することで、一定のばらつきを抑制することも可能である。

さらに、後述するように、抵抗 R_p や R_n の抵抗値を可変として調節可能なものとすることで、最終的なばらつきを抑制してもよい。

【0059】

また、各段に用いる抵抗は同一の温度特性、つまりすべて正の温度特性もしくはすべて負の温度特性の抵抗を用いるのが望ましい。

例えば正の温度特性の抵抗を有する電圧変換回路と負の温度特性の抵抗を有する電圧変換回路を組み合わせるとせっかく温度変化の増加が生じたものを減少させることになり、回路パターンのロスが生じるためである。

また、正の温度特性の抵抗を有する電圧変換回路と負の温度特性を有する電圧変換回路を組み合わせるとばらつきが大きくなる傾向にあり、これも抑制できることになる。

【0060】

このように、本実施の形態によれば、少なくとも各段の電圧変換回路の回路を

構成する回路素子の接続関係を同じとすることで、回路の接続関係が異なることによるばらつきを抑制し、基本となる電圧変換回路一段あたりの温度変化量が小さい場合でも、それらを複数カスケード接続していくことで最終的に大きな温度特性を得ることが可能となる。

さらに、各段がいずれも正もしくはいずれも負の温度特性を持つ抵抗部とすることで、面積効率の良い温度特性を有する電圧変換回路が得られる。

【 0 0 6 1 】

実施の形態 5.

実施の形態 3 および 4 においては、同一の構成要素から成る複数の電圧変換回路をカスケード接続する電圧源回路構成を示した。

この中で抵抗 X として各段で異なる抵抗材料が使用される場合、それらの絶対値が互いに相関なく変動することは十分に考えられる。

また、各段で同じ抵抗材料が使用されても若干のばらつきは予想される。

さらに、定電圧源回路 5 の出力BIASL0が予定よりずれる可能性もある。

例えば、図 1 の構成において温度 T_b での $IL1(T_b)$ や $RL1(T_b)$ の絶対値が予定値から大きくずれると、式 (6) で表される増幅係数 α が大きく変わり、その結果式 (5) で決まる出力電流の温度変化量も大きく変わってしまう。

そこで、本実施の形態では、回路パラメータを調整できる機構を備えることで、温度変化量を制御するものである。

【 0 0 6 2 】

なお、以降では、温度 T_b で $\alpha=1$ が予定値であると仮定し、さらに図 1 に示した P 型 MOS トランジスタ MP3 と MP4 のゲート幅の比、ミラー比が $WR1/WL1=1/10$ とする。

このような条件では、式 (4) 、 (6) から、 $IR1(T_b)=IL1(T_b)$ となる。

【 0 0 6 3 】

図 1 1 に電圧変換回路の温度特性を調整可能な電圧源回路 2 2 を示す。

図 1 1 において、図 9 との差異は、定電圧源回路 5 の出力BIASL0および 1 段目の電圧変換回路 1 2 の出力BIASL1がそれぞれ出力電圧発生回路 6 1 に入力されている点である。

【 0 0 6 4 】

図 1 2 には、本実施の形態の出力電圧発生回路 6 1 を示す。

図 7 に示した出力電圧発生回路 6 との差異は、図 1 2 に示す N 型 MOS トランジスタ MN 1 4 ~ 1 9 を備え、選択信号である調整用のテスト信号 TMTUNE1, TMTUNE2 により電流 IR0、IR1、IR2 をそれぞれを選択して流すことができる点である。

つまり、調整用のテスト信号に応じて、図 1 1 の定電流回路 5、1 段目の電圧変換回路 1 2、2 段目の電圧変換回路 1 3 の出力のいずれかが選択され、出力電圧発生回路 6 1 の出力 BIASS により調べるができるものである。

なお、通常の動作では、論理回路 LG1 の出力 ZTUNE="H" となり、IR2 が選択される。

【 0 0 6 5 】

図 1 3 には、図 1 1 に示した本実施の形態の電圧変換回路 1 2 を示す。

なお、抵抗部である可変抵抗 Z1 については、図の上部に拡大図として、その詳細を示している。

図 1 に示した電圧変換回路 1 と本電圧変換回路 1 2 の差異は、抵抗部の抵抗が抵抗 X から可変抵抗 Z1 に変わっており、調整機構を備え、抵抗値を可変とできることである。

より詳細には、可変抵抗 Z1 はヒューズ素子 F0 ~ F3 が並列に入った 4 個の調整抵抗（抵抗値 R0 ~ R3）と 1 個の固定抵抗（抵抗値 Rf）から成る。

R0 ~ R3 は異なる値、例えば $R0=2 \times R1=4 \times R2=8 \times R3$ であり、ヒューズ素子 F0 ~ F3 をレーザトリミングによりヒューズをブローして最終的な抵抗値が決定される。

なお、レーザトリミング以外の方法でヒューズ切断をしても良い。

また、図 1 1 に示した電圧変換回路 1 3 は、図 1 で示された電圧変換回路 1 と同様な構成である。

【 0 0 6 6 】

次に、本実施の形態の電圧源回路 2 2 の抵抗値調整シーケンスを説明する。

電圧変換回路 12 の温度特性を調整するテストモードが以下の 2 つが用意されており、これに基づいて調整されることになる。

第 1 のテストモードは、定電圧源回路 2 の出力BIASL0に基づく定電圧源回路 2 の電流IR0をモニタできるテストモードTM1であり、図 1 2 において、調整用のテスト信号TMTUNE1="H"、TMTUNE2="L"とすることで、本モードに入る。

【 0 0 6 7 】

第 2 のテストモードは、電圧変換回路 1 2 の出力BIASL1に基づく電圧変換回路 1 2 の出力電流であるIR1をモニタできるテストモードTM2であり、図 1 2 において、調整用のテスト信号TMTUNE1="L"、TMTUNE2="H"とすることで、本モードに入る。

これらテストモードを利用した調整シーケンスの概要は以下の通りである。

なお、温度はTbとする。

【 0 0 6 8 】

〈1〉 テストモードTM1に入り、出力電圧発生回路 6 1 の出力BIASS、間接的には電流Itmrを測定する。

また、実施の形態 2 で示した出力BIASSを受けて動作する基本リングオシレータ 3 を介し、リフレッシュタイマの発振周波数RCYCを測定しても良い。

なお、電流IR0は電圧変換回路 1 2 の入力電流IL1と等しくなるようにするものとし、電流Itmrは入力電流IL1にミラー比 W_{R0}/W_{L0} （図 1 2 の P型MOSトランジスタMP14,15のゲート幅の比）がかかった値になっている。

〈2〉 テストモードTM1を抜ける。

【 0 0 6 9 】

〈3〉 テストモードTM2に入り、出力電圧発生回路 6 1 の出力BIASS、間接的には電流Itmrを測定する。

また、上述したようにリフレッシュタイマの発振周波数RCYCを測定しても良い。

なお、電流Itmrは電圧変換回路 1 2 の出力電流IR1に〈1〉と同じミラー比がかかった値になっている。

〈4〉 上述したような $IR1(Tb)=IL1(Tb)$ の条件とする場合、〈3〉の結果から、〈1〉の結果に等しいか最も近くなるよう電圧変換回路 1 2、1 3 の可変抵抗Z1を調節することになる。

【 0 0 7 0 】

以上のように、電圧変換回路 1 2 に含まれる抵抗値を調整することにより、プロセスばらつきによらない安定した温度特性を有する電圧源回路を提供できる。

なお、本実施の形態では、1 段目の電圧変換回路 1 2 のみ可変抵抗とする例を述べたが、第 2 段目の電圧変換回路も同様に可変抵抗としても良い。

また、本実施の形態によれば、選択信号である調整用テスト信号を用いて複数の電圧変換回路の出力電圧を 1 つの出力電圧発生回路で調査することができるので、テスト用に各電圧変換回路に応じて出力電圧発生回路を設ける必要がない。

つまり、カスケード接続された複数段の電圧変換回路の最終段のみではなく途中の段の出力を出力電圧発生回路でモニターすることができる。

【 0 0 7 1 】

実施の形態 6.

図 1 3 に示した調整機構は簡潔で採用しやすい反面、 $R_0 \sim R_3$ の組み合わせに対応した図 1 2 の電流 IR_1 (1 段目の電圧変換回路 1 2 の出力電流でもある) の変化を何らかの方法で推測して最終的な組み合わせを決定しなければならない。

本実施の形態においては、抵抗 $R_0 \sim R_3$ の組み合わせに対応した電流 IR_1 変化を実測できるチューニング (以降、擬似チューニングと呼ぶ) を行うことで、その結果に基づいてヒューズブロー可能な構成を示すものである。

【 0 0 7 2 】

図 1 4 に本実施の形態の電圧変換回路の温度特性を調整可能な電圧源回路 2 3 を示す。

図 1 1 との差異は、1 段目の電圧変換回路 1 4 に信号 TMTUNE2 および擬似チューニングコード信号 TMSIG<3>, TMSIG<2>, TMSIG<1>, TMSIG<0> (以後、まとめて TMSIG<3:0> と記す) が入っている点である。

なお、2 段目の電圧変換回路 1 5 は図 1 に示すものと同じである。

図 1 5 に調整機構を備えた電圧変換回路 1 4 を示す。

図 1 5 は図 1 3 の電圧変換回路 1 2 に対応した構成であり、可変抵抗 Z_2 は P 型 MOS トランジスタ MP7 ~ MP10 が並列に入った 4 個の調整抵抗 (それぞれの抵抗値が $R_{0'} \sim R_{3'}$) と 1 個の固定抵抗 (抵抗値 $R_{f'}$) から成る。

MP7～MP10のゲートはチューニングコード発生回路 7 の出力ZTC<3:0>を受けている。

【 0 0 7 3 】

図 1 6 にチューニングコード発生回路 7 の構成を示す。

P型MOSトランジスタMP11は N型MOSトランジスタMN3より駆動能力が高いよう設定されている。

ここで、MN3はゲートに定電圧源回路 5 の出力BIASL0を受けており、ドレイン電流が制限されている。

よって、擬似チューニングをしていない通常の動作時、TUTUNE2="L"なのでノードNF2が"H"となっており、図 1 6 のヒューズF4がブロー無しの場合、ノードNF0,NF1は"H"となり、ZTC<n>は"L"となる。

逆に、ヒューズF4がブローされている場合、ノードNF0,NF1は"L"となり、ZTC<n>は"H"となる。

【 0 0 7 4 】

また、擬似チューニングをする場合、信号TMTUNE2="H"とすることで、調整用の擬似チューニングコード信号TMSIG<n>に応じて出力ZTC<n>が決まる。

より詳細には、以下ようになる。

ヒューズブロー工程前であるので、ノードNF1は"H"となる。

信号TMSIG<n>="L"とすると、ZTC<n>="H"となり、ZTC<n>をゲートに受ける図 1 5 に示した対応する P型MOSトランジスタはOFFし、対応する抵抗は使用されることになる。

逆に、TMSIG<n>="H"とすると、ZTC="L"となり、ZTC<n>をゲートに受ける P型MOSトランジスタはONし、対応する抵抗の両端が短絡される。つまり抵抗を不使用ということになる。

【 0 0 7 5 】

次に、本実施の形態の電圧変換回路 1 4 の抵抗値調整シーケンスを説明する。

<1> テストモードTM1に入り、出力電圧発生回路61の出力BIASS、間接的には電流Itmrを測定する。

また、上述したように実施の形態 2 で示したリフレッシュタイマの発振周波数

RCYCを測定しても良い。

なお、電流 I_{R0} は電圧変換回路 1 2 の入力電流 I_{L1} と等しいくなるようにするものとし、電流 I_{tmr} は入力電流 I_{L1} にミラー比 W_{R0}/W_{L0} (図 1 2 の P型MOSトランジスタMP14,15のゲート幅の比) がかった値になっている。

<2> テストモードTM1を抜ける。

【 0 0 7 6 】

<3> テストモードTM2に入る。

<4> TMSIG<3:0>の組合わせ、全てもしくは一部に対する出力電圧発生回路61の出力BIASS、間接的には電流 I_{tmr} を測定する。

また、上述したようにリフレッシュタイマの発振周波数RCYCを測定しても良い。

なお、電流 I_{tmr} は電圧変換回路 1 4 の出力電流 I_{R1} に<1>と同じミラー比がかかった値になっている。

<5> <4>の結果から、<1>の結果に等しいか最も近いTMSIG<3:0>値を決定する。

【 0 0 7 7 】

以上の抵抗値調整シーケンスの中で<3>～<5>が擬似チューニングであり、この擬似チューニングにより、最も理想的な抵抗値を実現するためのTMSIG<3:0>の組合わせを求めることができる。

【 0 0 7 8 】

次に、この組み合わせを実際のヒューズブロー情報と関連させる必要がある。

図 1 6 より、通常モード (TMTUNE2="L") において、ヒューズを切った場合ZTC="H"、ヒューズを切らない場合ZTC="L"となる。

よって、既に説明したTMTUNE2="H"時のTMSIGとZTCの関係と合わせて考えると、上記抵抗値調整からTMSIG<n>="L"ならヒューズを切り、逆にTMSIG<n>="H"ならヒューズを切らなければよいことが分かる。

【 0 0 7 9 】

このように、図 1 4 ～ 1 6 の構成では、擬似的に電圧変換回路 1 4 内の可変抵抗値を切り替えて出力電圧発生回路 6 1 の出力BIASSを測定することができる。

め、より正確に最終的なヒューズブロー情報を決定することが可能である。

なお、本実施の形態では、図 1 4 に示したように、1 段目の抵抗値を調整可能な電圧変換回路 1 4 としたが、1 段目ではなく 2 段目の抵抗値を調整可能な電圧変換回路としても良い。

【0080】

また、第 1 および第 2 段目ともに抵抗値を調整可能な電圧変換回路としても良い。これにより、より細かな調節ができる。

しかしながら、いずれかを調整可能としておくだけでも十分調節可能である場合もある。

また、調節部分の箇所が多いと複雑および回路面積が大きくなる不都合が生じる場合もある。

このような場合は、いずれかの電圧変換回路を 1 つを可変抵抗とすることになるが、定電圧源回路 2 の出力が入力される電圧変換回路、本実施の形態では電圧変換回路 1 4 の方が望ましい。

これは、1 段目で大きくばらついたものが増幅された後、2 段目で調節するよりも、ばらつきが増幅される前に、1 段目の電圧変換回路で調整する方が、調整しやすい傾向にあるためである。

【0081】

実施の形態 7.

実施の形態 5 では、電圧変換回路内の抵抗値を調整することでその温度特性を調整していた。

本実施の形態では、電圧変換回路ではなく、温度 T_b で $\alpha = 1$ となるよう 1 段目の電圧変換回路の入力 $BIASL0$ を調整するものである。

【0082】

図 1 7 に電圧変換回路の温度特性を調整可能な電圧源回路 2 4 を示す。

主な特徴は、定電圧源回路 5 と電圧変換回路 1 の間に電圧調整回路 8 が挿入されている点である。

なお、これまでは定電圧源回路 5 の出力電流 I_{R0} は電圧変換回路 1 の入力電流 I_{L1} と等しいとしていたが、本実施の形態では電圧調整回路 8 が挿入されることに

より、出力電流 $IR0$ と入力電流 $IL1$ は必ずしも等しくないことになる。

なお、電圧変換回路 1 の構成は図 1 に示すものであるが、その入力が $BIASL0$ から $BIASL00$ に置き換わっている。

【 0 0 8 3 】

図 1 8 に電圧調整回路 8 の構成を示す。

$ZTC\langle n \rangle$ が非活性のときは、P型MOSトランジスタ群 $PW0$ で入力電流 $IL00$ が決定され、 $ZTC\langle n \rangle$ のいずれかが活性化されるときは、その信号に応じてゲート幅がそれぞれ異なる P型MOSトランジスタ群 $PW1$ のいずれかのトランジスタが活性化されることで、P型MOSトランジスタのゲート幅が調節され、入力電流 $IL00$ を調整可能にしている。

このようにして、電圧調整回路 8 のミラー比（活性化された $PW1$ と $PW0$ のゲート幅の和と $PW2$ のゲート幅の比）が調節されることで、出力電流 $IR00$ および出力 $BIASL00$ が決定される。

【 0 0 8 4 】

本実施の形態での調整方法は実施の形態 8 と同じ擬似チューニング方法であり、調整シーケンスも同様である。

特に実施の形態 6 で示した調整シーケンス $\langle 4 \rangle$ において、 $TMSIG\langle 3:0 \rangle$ を順次変化させて電圧調整回路 8 の入出力電流間のミラー比を変え、温度 Tb で最も $\alpha = 1$ に近い条件、つまり $IL1(Tb)$ と $IR1(Tb)$ の差分が最も小さくなるミラー比を割り出す。

以上のように、電圧変換回路の入力を調整することにより、プロセスばらつきによらない安定した温度特性を有する電圧源回路を提供できる。

【 0 0 8 5 】

実施の形態 8.

実施の形態 5 ～ 6 において、プロセスばらつきに対して電圧変換回路の温度特性を調整できるものを説明した。

一般に、抵抗の温度特性のばらつきは、材料間で相関が無い。

そのため、カスケード接続された電圧変換回路で使用する抵抗の抵抗材料が回路によって異なる場合、抵抗材料毎に何らかの調整機構がないと、全体として

の温度特性を所定値に管理することができないこととなる。

定電圧源回路でも何らかの抵抗材料を使用している場合、それを含めて考える必要がある。

さらに、抵抗値を調整する調整機構はレイアウト面積の増加を招くため、極力調整対象となる抵抗は少なくするのが望ましい。

【 0 0 8 6 】

以上を考慮したのが本実施の形態である。

定電圧源回路および電流温特変換回路で使用される抵抗材料は2種類 (A,B)、そのうち抵抗材料Aを使用する電圧変換回路は1個のみ用い、抵抗調整機構を備え、定電圧源回路および残りの電圧変換回路は全て抵抗材料Bを使用するものである。

抵抗材料Aの調整は、その絶対値を定電圧源回路の抵抗材料Bの絶対値との関係で決めれば、自動的にその他全ての電圧変換回路に含まれる抵抗材料Bの絶対値との関係も決まる。

【 0 0 8 7 】

図 1 9 に上記構成を具体化した電圧源回路 2 5 のブロック図を示す。

ここでは、説明を簡略化するため、電圧変換回路は2段としている。

定電圧源回路 5 1 および 2 段目の電圧変換回路 1 7 では抵抗に抵抗材料Bが使用されている。

両回路は同じ抵抗材料を使用するため、抵抗材料が異なる場合に比べ、抵抗値の相対関係が大きくはずれない傾向にある。

【 0 0 8 8 】

また、1 段目の電圧変換回路 1 6 では抵抗材料Aが使用され、擬似チューニング機構が付加されている。

2 段目の電圧変換回路 1 7 は、抵抗Xの抵抗材料がB以外、図 1 の電圧変換回路 1 と同じである。

【 0 0 8 9 】

次に、図 2 0 に本実施の形態の定電圧源回路 5 1 を示す。

定電圧源回路 5 1 は、定電圧部 5 2 とスタートアップ部 9 から成る。

定電圧部 5 2 は、抵抗 Y の抵抗材料が B になった以外は、図 6 に示した定電圧源回路 5 と同じ構成である。

スタートアップ部 9 は、電源投入時に定電圧部 5 2 のノード NA を動作上の安定点に設定できるようにするものである。

具体的には電源投入時、P 型 MOS トランジスタ MP21 よりノード NB の電位が上昇する。これにより、N 型 MOS トランジスタ MN21 が ON 状態になり、ノード NA の電位を下げる。

電源電圧が上昇し一定電圧の安定すると、ノード NB の電圧は MN1 のしきい値電圧以下になり、MN1 が OFF することで、ノード NA の電位が安定する。

【 0 0 9 0 】

次に、図 1 9 の電圧源回路 2 5 の構成がばらつきに対し優れていることを式により説明する。

まず、図 2 0 の定電圧源回路 5 1 の出力電流 $IR0$ およびこの温度変化量を求める。

図 2 0 の N 型 MOS トランジスタ NM12 と NM13 で構成されるカレントミラーのミラー比が 1:1 の場合、P 型 MOS トランジスタ MP12, MP13 には $IR0$ が流れる。

P 型 MOS トランジスタ MP12, MP13 のチャネル幅を $WL0, WR0$ ($WL0 < WR0$)、チャネル長は同じとする。

式 (1)、(2) と同様な関係式を立て、 $IR0$ について求めると以下の関係が成立する。

【 0 0 9 1 】

$$IR0 = S \times \log(WR0/WL0) / RL0 \quad \dots (10)$$

【 0 0 9 2 】

さらに、その温度変化量を $\Delta IR0 = IR0(Tb) / IR0(Ta)$ とすると、式 (10) から、次のようになる。

【 0 0 9 3 】

$$\Delta IR0 = \Delta S / \Delta RL0 \quad \dots (11)$$

【 0 0 9 4 】

次に、図 1 9 の電圧変換回路 1 6 の出力電流 $IR1$ およびこの温度変化量を求め

る。

定電圧源回路の出力電流 $IR0$ と電圧変換回路16の入力電流 $IL1$ が等しいとし、式(10)を式(4)に代入すると以下の関係が成り立つ。

【0095】

$$IR1 = (WR1/WL1) \times IR0 \times (WR0/WL0) (RL1/RL0) \dots (12)$$

【0096】

さらに、 $WR1/WL1=WL0/WR0$ とすると、式(12)から以下の関係が成り立つ。

【0097】

$$IR1 = IR0 \times (WR0/WL0) \{(RL1/RL0) - 1\} \dots (13)$$

【0098】

つづいて、 $IR1$ の温度変化量 $\Delta IR1$ について求めてみる。

$IR0=IL1$ であるので、 $\Delta IR0=\Delta IL1$ である。

$IR1$ の温度変化量 $\Delta IR1$ の式(5)に上記関係および式(11)を代入すると、以下のようになる。

【0099】

$$\Delta IR1 = \Delta IR0 \cdot 10^{[\alpha \cdot \{1 - \Delta RL0/\Delta RL1\}]} \dots (14)$$

【0100】

さらに、増幅係数 α については、 $IR0=IL1$ であることを考慮し、式(6)に式(4)を代入すると、以下のようになる。

【0101】

$$\alpha = \log(WR0/WL0) \cdot \{RL1(Tb)/RL0(Tb)\} \dots (15)$$

ここで、温度 Tb にて $RL1(Tb)=RL0(Tb)$ となると仮定すると、以下のようになる。

【0102】

$$\alpha = \log(WR0/WL0) \dots (16)$$

【0103】

さらに、式(16)を式(14)に代入すると以下のようになる。

【0104】

$$\Delta IR1 = \Delta IR0 \cdot (WR0/WL0) \{1 - \Delta RL0/\Delta RL1\} \dots (17)$$

【 0 1 0 5 】

式 (1 7) から言えることは、 ΔIR_0 、 ΔRL_0 、 ΔRL_1 は抵抗材料の物性で決まる温度定数であるので製造上のばらつきを考慮する必要がなくなる。

言い換えると、上記で仮定した、温度 T_b にて $RL_1(T_b)=RL_0(T_b)$ となるように、抵抗値を調節すれば、電圧変換回路 1 6 から一定の出力電流の温度変化量を得られることになる。

なお、本実施の形態では、電圧変換回路 1 6 の抵抗 X の抵抗値を定電圧源回路 5 1 の抵抗 Y と等しくなるようにすれば良い。

【 0 1 0 6 】

次に同様に、図 1 9 の電圧変換回路 1 7 の出力電流 IR_2 およびこの温度変化量を求める。

なお、電圧変換回路 1 7 の入力電流を IL_2 とし、電圧変換回路 1 7 の抵抗に用いている抵抗材料 B の増幅係数を β とする。

このような条件においては、式 (6) と同様にして以下のようなになる。

【 0 1 0 7 】

$$\beta = IL_2(T_b) \times RL_2(T_b) / S(T_b) \quad \dots (18)$$

【 0 1 0 8 】

さらに、温度 T_b にて、 $IR_0=IR_1=IL_2$ とし、式 (1 0) の S を式 (1 8) に代入すると以下のようなになる。

【 0 1 0 9 】

$$\beta = IR_0(T_b) \times RL_2(T_b) / S(T_b) = \log(WR_0/WL_0) \times \{RL_2(T_b) / RL_0(T_b)\} \quad \dots (19)$$

【 0 1 1 0 】

また、 ΔIR_2 については、式 (5) と同様に以下のようなになる。

【 0 1 1 1 】

$$\Delta IR_2 = \Delta IL_2 \times 10^{[\beta \times \{1 - \Delta S / (\Delta IL_2 \times \Delta RL_2)\}]} \quad \dots (20)$$

【 0 1 1 2 】

β は式 (2 0) に含まれる唯一の抵抗絶対値が表れる項 $RL_2(T_b) / RL_0(T_b)$ を含む。

しかしながらRL0とRL2は、同じ抵抗材料Bであるため、その比率は材料内のばらつきで抑えられる。

つまり、電圧変換回路17の出力電流IR2の温度変化は、抵抗材料Bのばらつき内で抑えられることになる。

【0113】

上述したように、同一抵抗材料におけるばらつきは小さいので、抵抗材料Bの絶対値のプロセスばらつきを補正する機構は抵抗材料Aからなる抵抗に比べ必要性は少ないといえる。

よって、電圧変換回路17に出力電流の温度変化量が上述のようであるため、図19を拡張して抵抗材料Bを用いた電圧変換回路をさらにカスケード接続していても、それらの温度特性は温度Tbにおける各電圧変換回路内の抵抗値とRL0(Tb)との比率に依存するだけであり、抵抗が抵抗材料Bで構成される電圧変換回路においては調整機構の必要性が小さいことが分かる。

【0114】

以上のように、電圧源回路内の電圧変換回路で使用する抵抗材料を2種類以下とし、さらに定電圧源回路と電圧変換回路とで、抵抗に使用する抵抗材料を共通化することにより、調整機構を簡略化した構成を実現できる。

なお、上記説明では、電圧変換回路の1段目と2段目で抵抗材料がAとBで異なる例を示したが、定電圧源回路および電圧変換回路1段目、2段目とも同じ抵抗材料を用いても良い。

【0115】

さらに、本実施の形態においては、図20の定電圧源回路51と図1などで示した電圧変換回路1の組み合わせには特別なメリットもある。

図20および図1などはいずれもP型MOSトランジスタをサブスレッショルド領域で動作させている。

そのため、各回路のSファクタ依存性が互いにキャンセルし合い、Sファクタのプロセスばらつきに対する依存性が緩和されることである。

【0116】

具体的には、式(5)のように電圧変換回路の出力電流の温度変化量は10のべ

き乗の指数部に ΔS が含まれるが、図20の定電圧源回路と組合わせると、式(17)に示すように、前段の ΔS 依存性とうまくキャンセルし合い、当指数部が ΔS に依存しなくなる。

また、定電圧源回路と電圧変換回路では、回路構成が似ているため、レイアウトパターンの共通化も可能となり、製造ばらつきが抑制できる。

【0117】

具体的には、図10に示した電圧変換回路1が定電圧源回路51に、電圧変換回路11が電圧変換回路17に対応するパターンとなる。

ここで、抵抗に関しては、抵抗のパターンの $W1$ と $W2$ 、 $S1$ と $S2$ 、 $L1$ と $L2$ を等しいものとすればよい。

いずれかを等しくする場合には、活性領域幅であるパターン幅を等しくするのが最も好ましい。

また、ばらつき等により10%前後のずれは生じると考えられる。

なお、抵抗のジグザグの段数は定電圧源回路51と電圧変換回路11で異なることもあり得る。

【0118】

さらに、図10に示してあるように回路間でトランジスタパターンも揃えることが望ましい。

なお、回路間でトランジスタのゲート幅等のサイズが異なることがあり得るが、図10に示したトランジスタの基本パターンTABを1単位と考え、これを並列に並べてゲート幅の大きなトランジスタを形成することで、ゲート幅の大きなトランジスタと小さなトランジスタ間のばらつきも抑制できる。

なお、各パターンの向きを回路間で揃えることで、イオン注入の注入角度の問題から生じる活性領域の非対称性の問題等による抵抗ばらつきも生じなくできる。

また、定電圧源回路51と電圧変換回路17のパターンを同じものとする例を示したが、これのみでなく、例えば図19の電圧変換回路16のパターンも揃えることが望ましい。

つまり、各段のパターンを揃えることで、より製造ばらつきに強いものとでき

る。

なお、上述したトランジスタのパターンを揃えることは、他の実施の形態においても適用できるものである。

特に実施の形態 4 に示した回路構成が各段で同じ場合は、ばらつきを抑制する面で優れている。

【0119】

実施の形態 9.

実施の形態 3 等で示したように、電圧変換回路を複数個カスケード接続することにより、大きな温度変化量を有する電圧および電流を発生させることが可能である。

本実施の形態では、さらに、カスケード接続の途中から分岐した出力を利用することで、複数の異なる温度変化量を有する電圧および電流を選択して使用できるものである。

図 2 1 に本実施の形態の電圧源回路 2 6 の構成を示す。

図 2 1 では例として 3 個の電圧変換回路 1 8 a ~ 1 8 b がカスケード接続されているものを示している。

【0120】

図 2 1 がこれまでの電圧源回路の構成と異なる点は、定電圧源回路 5 および 3 個の電圧変換回路 1, 1 1, 1 8 の各出力 BIASL0 ~ 3 が出力電圧発生回路 6 2 に入力され、各出力 BIASL0 ~ 3 を各回路から出力をさせるか否かを選択する選択回路 1 0 を備えていることである。

【0121】

図 2 2 に選択回路 1 0 の構成を示す。

選択回路 1 0 は、選択信号 ZSEL<1> ~ <3> に対応した基本選択回路 1 0 a ~ 1 0 c からなる。

基本選択回路 1 0 a ~ 1 0 c は図 1 6 のチューニングコード発生回路 7 の構成と類似しているものである。

ヒューズ F 5 を切らなければ選択信号 ZSEL<n>="L" となり、対応する電圧変換回路が活性化され、ヒューズ F 5 を切れば選択信号 ZSEL<n>="H" となり、対応する電

流温特変換回路を非活性化することになる。

BIASL0～3を出力電圧発生回路 6 2 へ入力するようにする選択との対応関係は次の通りである。

【 0 1 2 2 】

BIASL0を選択 : ZSEL<1>="H", ZSEL<2>="H", ZSEL<3>="H"

BIASL1を選択 : ZSEL<1>="L", ZSEL<2>="H", ZSEL<3>="H"

BIASL2を選択 : ZSEL<1>="L", ZSEL<2>="L", ZSEL<3>="H"

BIASL3を選択 : ZSEL<1>="L", ZSEL<2>="L", ZSEL<3>="L"

【 0 1 2 3 】

図 2 3 に本実施の形態における電圧変換回路 1 8 a の構成を示す。

図 1 の電圧変換回路 1 との相違点は、ZSEL<1>の出力を受けて本回路の活性・非活性を決める活性指示部 1 1 0 が付加されている点である。

活性指示部 1 1 0 に ZSEL<1>が入力され、電圧変換回路 1 を制御する。

ZSEL<1>="H" のとき、ノード NC は電源電圧、ノード ND は接地電圧に固定され、出力 BIASL1="L" となる。

ZSEL<1>="L" のとき、ノード NC およびノード ND は活性指示部 1 1 0 と電氣的に切り離され、電圧変換回路 1 の動作に応じて電圧が決定される。

なお、電圧変換回路 18b, 18c も同じ構成である。

【 0 1 2 4 】

図 2 4 に本実施の形態における出力電圧発生回路 6 2 を示す。

上記 BIASL0～3 と ZSEL<1>～<3> の対応関係に合わせ、論理回路 LG2～LG5 により、所定の BIASL_m を選択する信号 SEL_m (m=0～3) が発生される。

SEL_m に応じた BIASL_m のブランチが選択され、本回路の入力電流 I_{tml} が決定される。

入力電流 I_{tml} にミラー比 W_{Ro}/W_{Lo} がかったものが出力電流 I_{tmr} となり、出力電圧 BIASS として外部に供給される。

以上のように、カスケード接続された定電圧源回路と電圧変換回路の各出力を選択信号より選択され、その選択された出力に応じて出力電圧発生回路が出力電圧を発生するので、電圧源回路は、異なる温度変化量を持つ複数の電圧から最も

適した特性の電圧を選択して、外部に供給することが可能になる。

つまり、カスケード接続された複数段の電圧変換回路の最終段のみでなく途中の段の出力を出力電圧発生回路により用いることができる。

【 0 1 2 5 】

実施の形態 1 0 .

実施の形態 1 - 8 では、電圧変換回路として、P型MOSトランジスタMP1のソースとVcc線の上に抵抗を設けたものについて述べた。

しかしながら、図 2 5 に示すように、N型MOSトランジスタMN2のソースに接続されたノードN4と接地線の上に抵抗Xを設けた電圧変換回路 1 9 でもよい。

つまり、図 2 5 に示すようにVcc線とカレントミラー部CUBの間ではなく、出力部OUTBと接地線の上に抵抗部を設けても良い。

この場合、N型MOSトランジスタMN1およびMN2をサブスレッショルド領域において動作させる。

また、温度特性におけるSファクタは、P型MOSトランジスタによるものでなく、N型MOSトランジスタによるもので決まることになる。

一般に、SファクタはP型MOSトランジスタよりもN型MOSトランジスタの方が小さいので、抵抗を同一とした場合、出力電流等の温度変化を大きくできる。

【 0 1 2 6 】

さらに、図 2 5 の電圧変換回路 1 9 のみでなく、定電圧源もN型MOSトランジスタのソースに抵抗を接続したもので実現してもよい。

また、これまでの実施の形態では、MOSトランジスタを例に示したが、MIS(Metal-Insulator-Semiconductor)トランジスタでも同様に構成できる。

さらに、これまでの実施の形態では、図 1 に示すP型MISトランジスタMP1のドレインとN型MISトランジスタMN1のドレインが直接接続され、P型MISトランジスタMP2のドレインとN型MISトランジスタMN2のドレインが直接接続されている例を示したが、動作の調整等により、それぞれの間にMISトランジスタを有しても良い。

また、MISトランジスタに代わり、バイポーラトランジスタを用いても良い。

この場合、N型MISトランジスタがNPNバイポーラトランジスタに、P型MISトラ

ンジスタがPNPバイポーラトランジスタに代わることになる。

【 0 1 2 7 】

【発明の効果】

この発明は以上説明したように、電圧変換回路における抵抗部は、入力電流が流れるノードに接続された第2のトランジスタと第2の電圧線の間、または出力電流が流れるノードに接続された第4のトランジスタと第1の電圧線の間のいずれか一方のみに接続され他には設けないので、温度変化に応じて入力電圧を出力電圧に変換する特性を、抵抗部の抵抗値と第2のトランジスタまたは抵抗部の抵抗値と第4のトランジスタのいずれか一方で決めることができ、第2と第4のトランジスタの相互の製造ばらつきの影響を抑えることができる。

また、他の発明によれば、回路素子の接続関係が同じ電圧変換回路がカスケード接続されて構成される電圧変換回路段であり、いずれの段も正またはいずれの段も負の温度特性を有する抵抗部からなるので、各段の回路素子の接続関係の差異によるばらつきをなくし、さらに全体として大きな温度特性を得ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の電圧変換回路の回路図である。

【図 2】 本発明の実施の形態 1 のトランジスタの特性を示す図である。

【図 3】 本発明の実施の形態 1 の電圧変換回路のパターンレイアウト図である。

【図 4】 本発明の実施の形態 2 のリフレッシュタイマのブロック図である。

【図 5】 本発明の実施の形態 2 の電圧源回路のブロック図である。

【図 6】 本発明の実施の形態 2 の定電圧源回路の回路図である。

【図 7】 本発明の実施の形態 2 の出力電圧発生回路の回路図である。

【図 8】 本発明の実施の形態 2 の基本リングオシレータの回路図である。

【図 9】 本発明の実施の形態 3 の電圧源回路のブロック図である。

【図 1 0】 本発明の実施の形態 3 の電圧変換回路のパターンレイアウト図である。

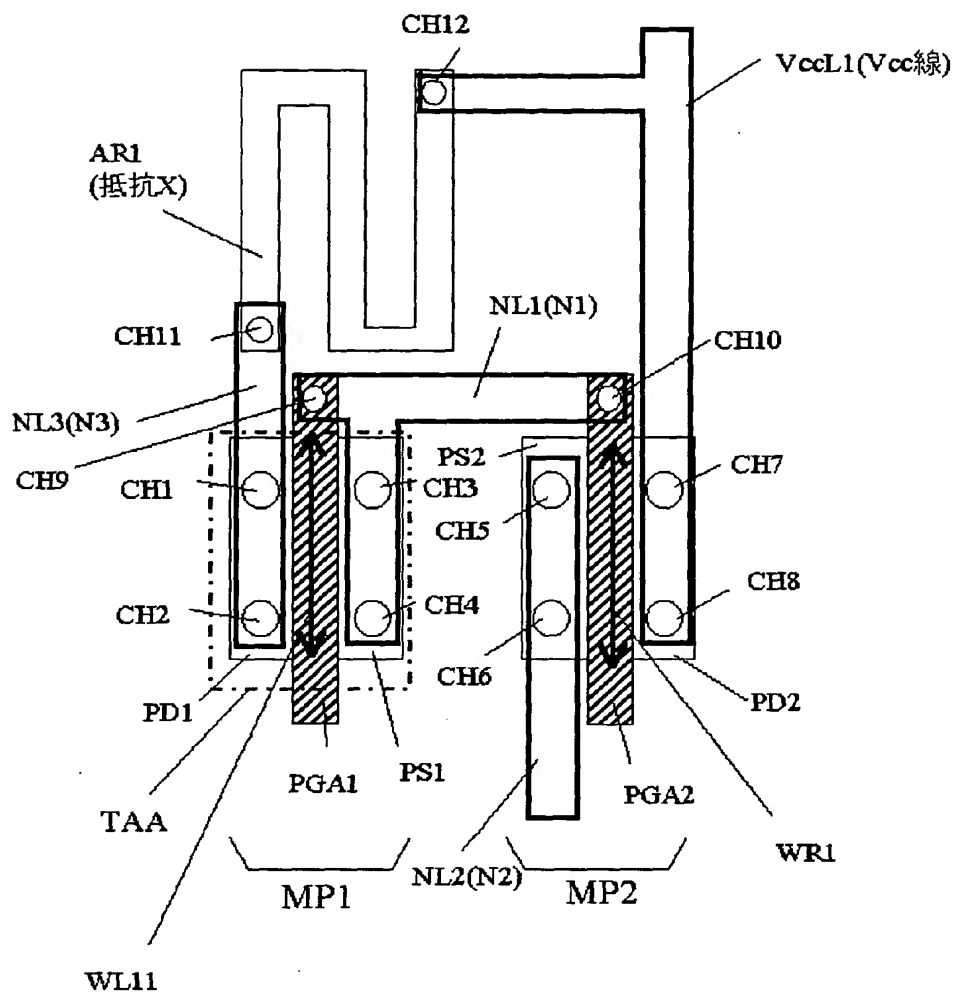
- 【図 1 1】 本発明の実施の形態 5 の電圧源回路のブロック図である
- 【図 1 2】 本発明の実施の形態 5 の出力電圧発生回路の回路図である。
- 【図 1 3】 本発明の実施の形態 5 の電圧変換回路の回路図である。
- 【図 1 4】 本発明の実施の形態 6 の電圧源回路のブロック図である。
- 【図 1 5】 本発明の実施の形態 6 の電圧変換回路の回路図である。
- 【図 1 6】 本発明の実施の形態 6 のチューニングコード発生回路の回路図である。

- 【図 1 7】 本発明の実施の形態 7 の電圧源回路のブロック図である。
- 【図 1 8】 本発明の実施の形態 7 の定電圧源回路の回路図である。
- 【図 1 9】 本発明の実施の形態 8 の電圧源回路のブロック図である。
- 【図 2 0】 本発明の実施の形態 8 の定電圧源回路の回路図である。
- 【図 2 1】 本発明の実施の形態 9 の電圧源回路のブロック図である。
- 【図 2 2】 本発明の実施の形態 9 の選択回路の回路図である。
- 【図 2 3】 本発明の実施の形態 9 の電圧変換回路の回路図である。
- 【図 2 4】 本発明の実施の形態 9 の出力電圧発生回路の回路図である。
- 【図 2 5】 本発明の実施の形態 1 0 の電圧変換回路の回路図である。
- 【図 2 6】 参考例の電圧変換回路の回路図である。

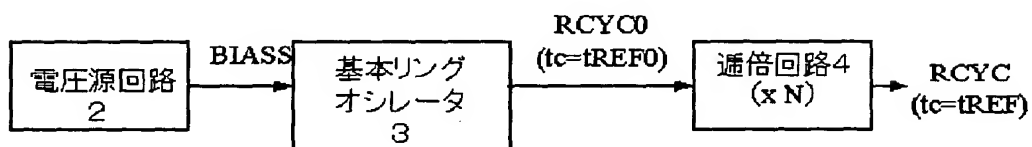
【符号の説明】

1 電圧変換回路、 2 電圧源回路、 3 基本リングオシレータ、 4 通倍回路、 5 定電圧源回路、 6 出力電圧発生回路、 7 チューニングコード発生回路、 8 電流調整回路、 9 スタートアップ部、 1 0 選択回路、 1 1 ~ 1 7 , 1 8 a , 1 8 b , 1 8 c , 1 9 電圧変換回路、 2 1 ~ 2 6 電圧源回路、 5 1 定電圧源回路、 6 1 , 6 2 出力電圧発生回路。

【図 3】



【図 4】



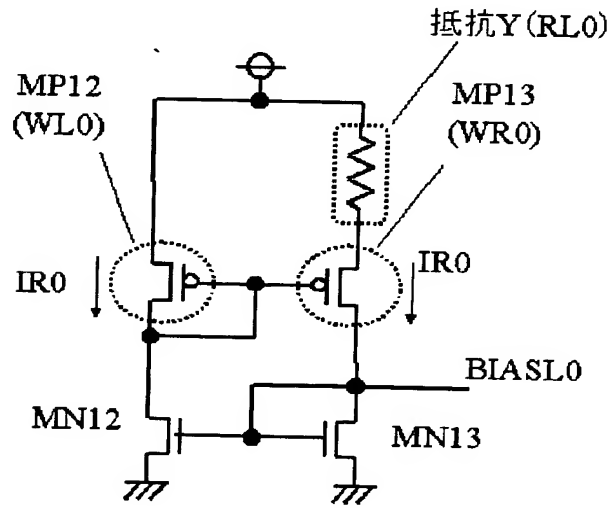
【図 5】

電圧源回路2

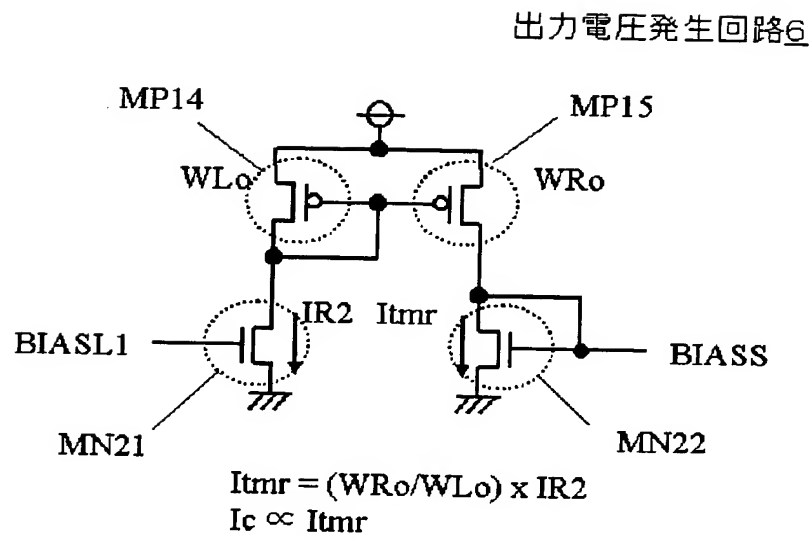


【図 6】

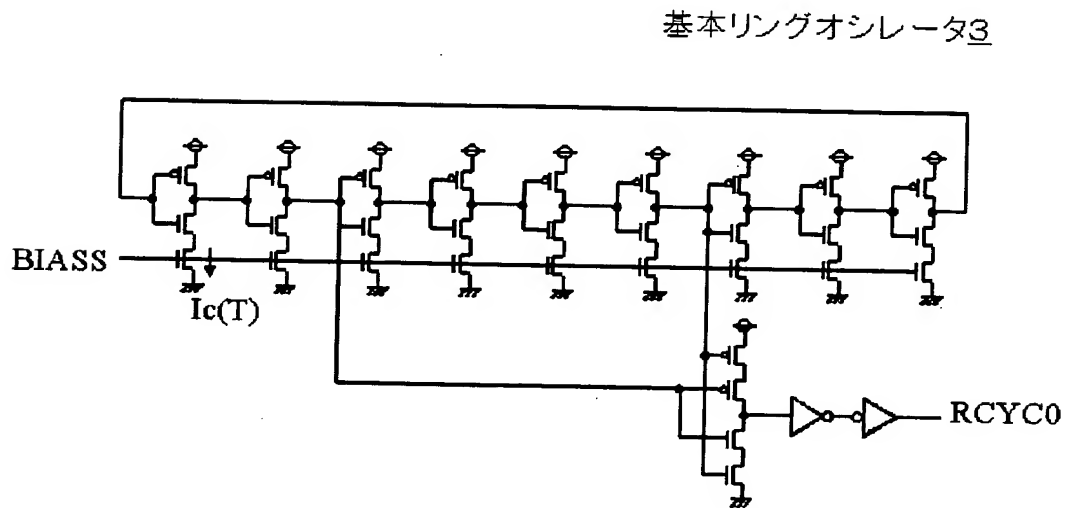
定電圧源回路5



【図 7】



【図 8】

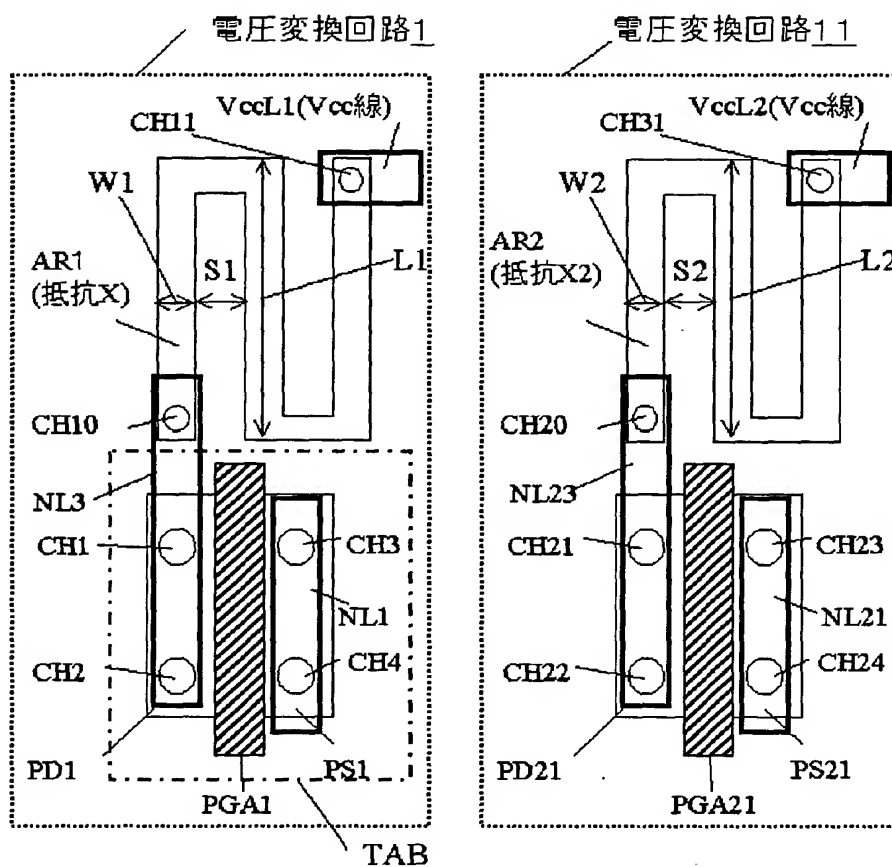


【図 9】

電圧源回路21

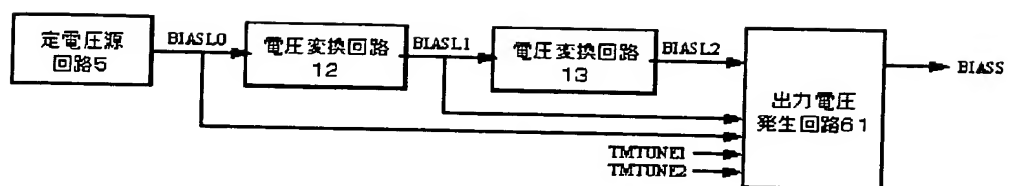


【図 10】



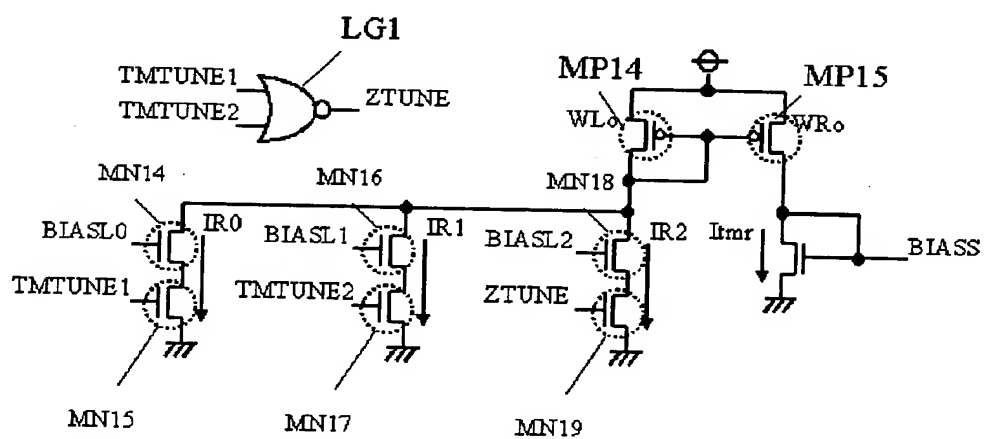
【図 1 1】

電圧源回路22



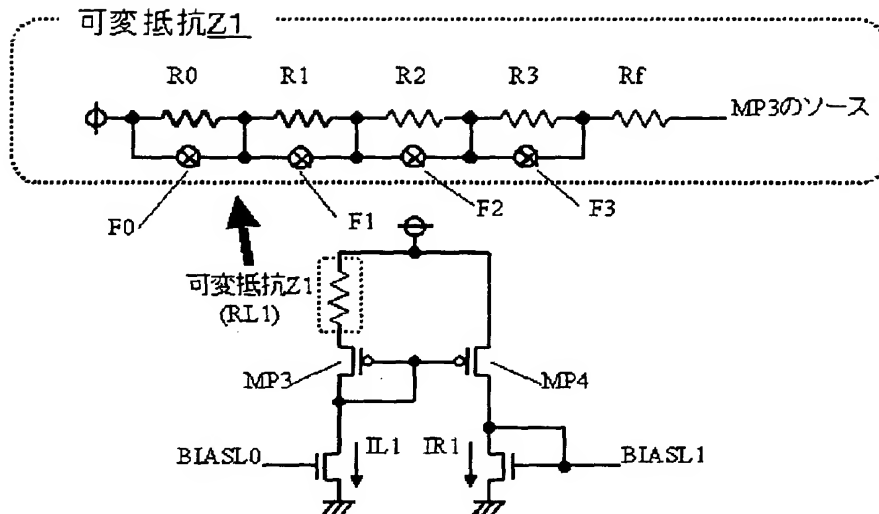
【図 1 2】

出力電圧発生回路61



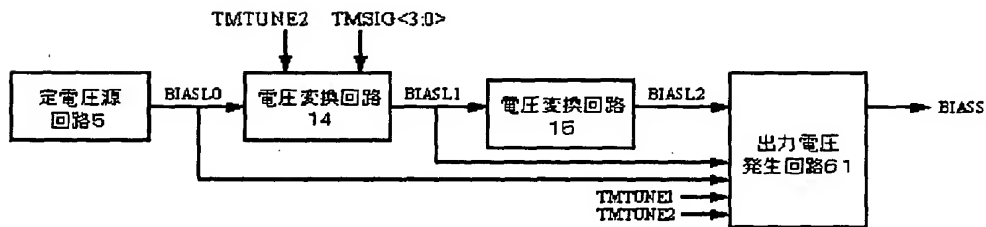
【図 1 3】

電圧変換回路12

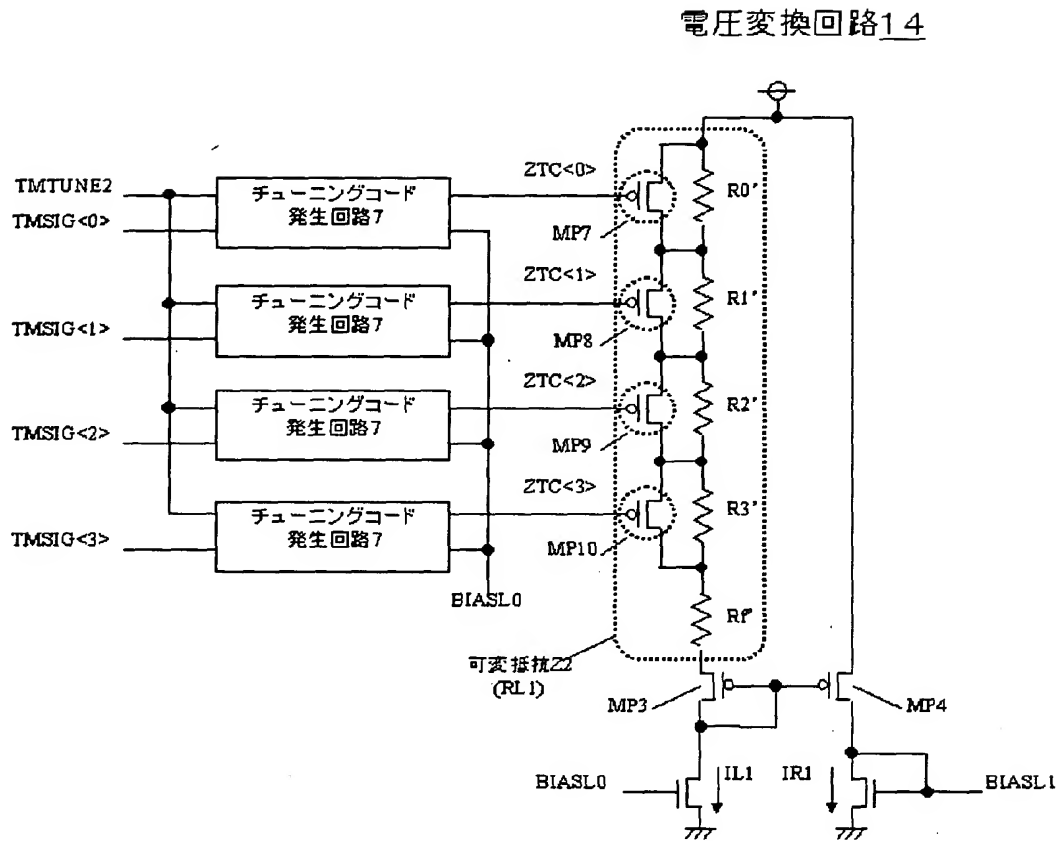


【図 1 4】

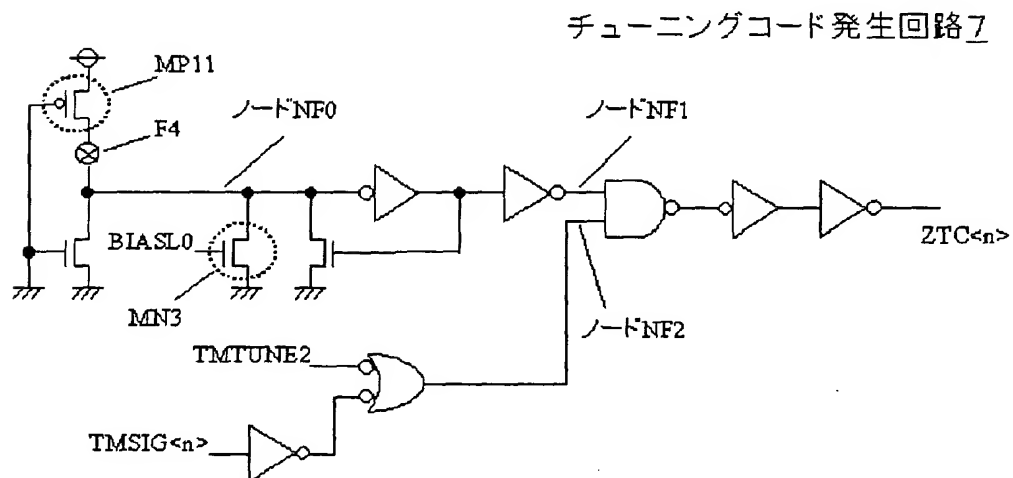
電圧源回路23



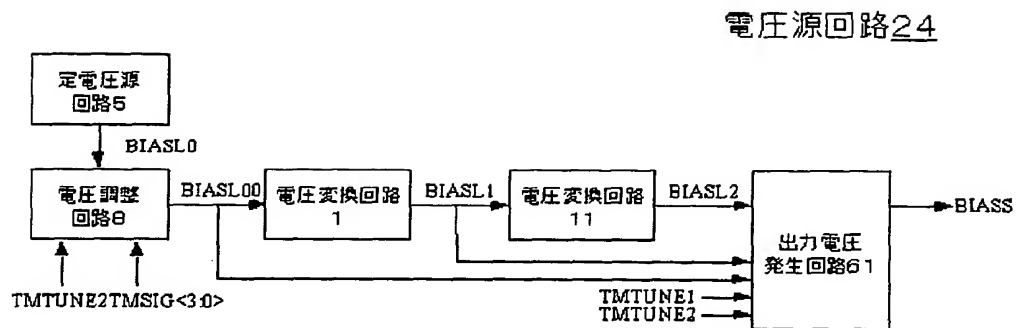
【図 15】



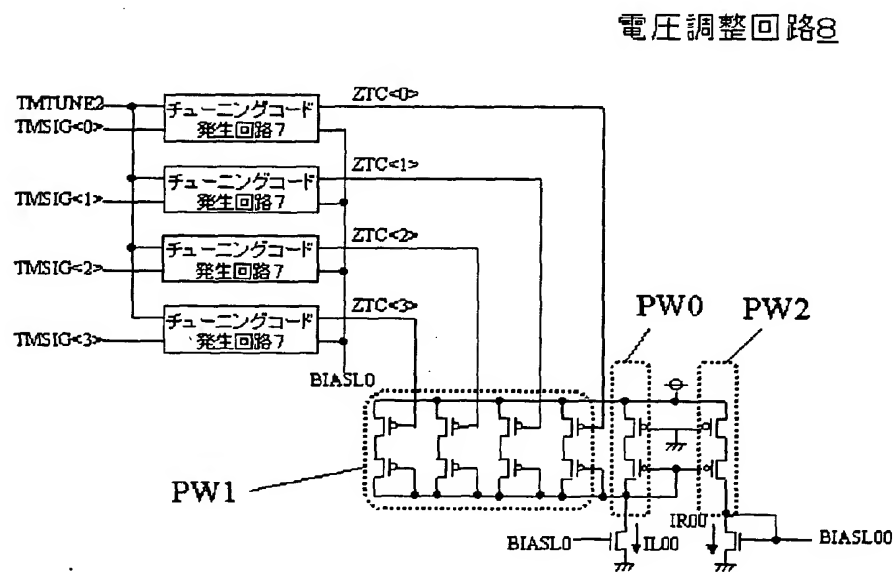
【図 16】



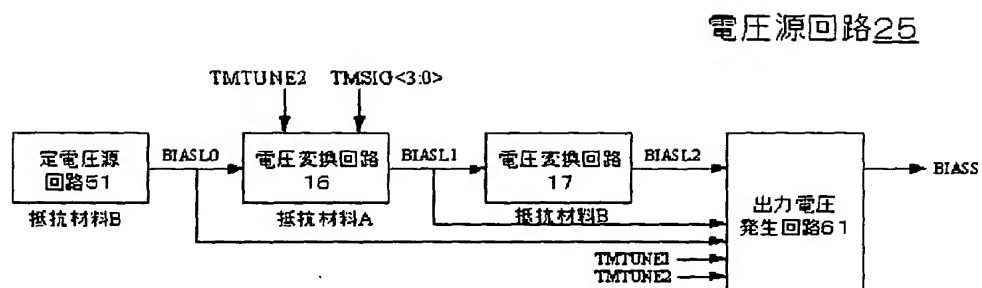
【図 17】



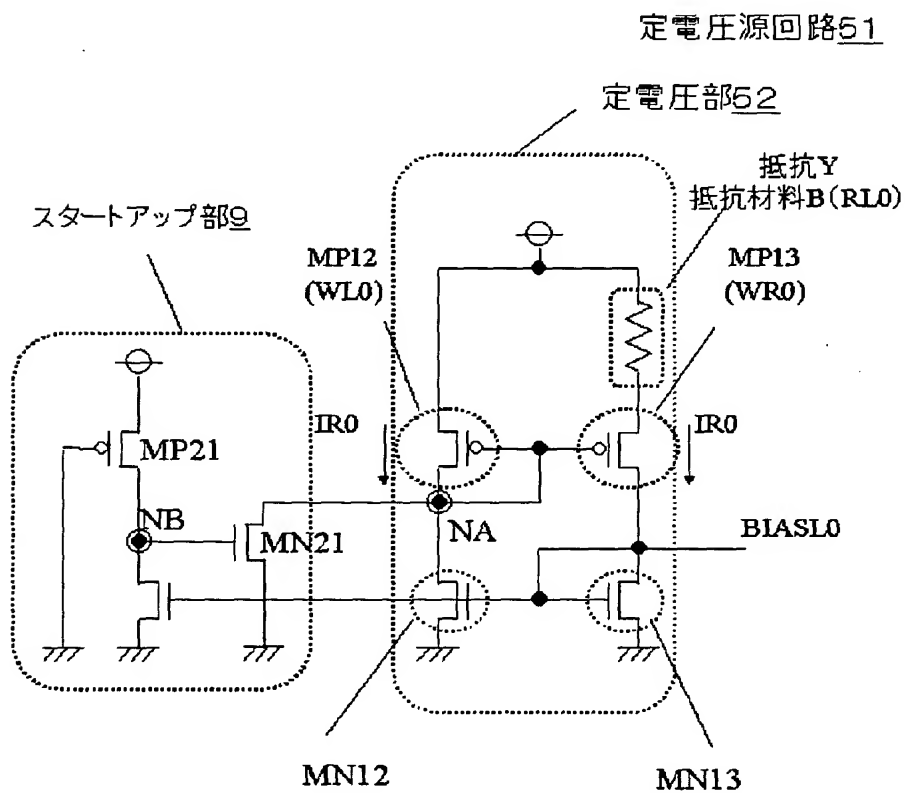
【図 18】



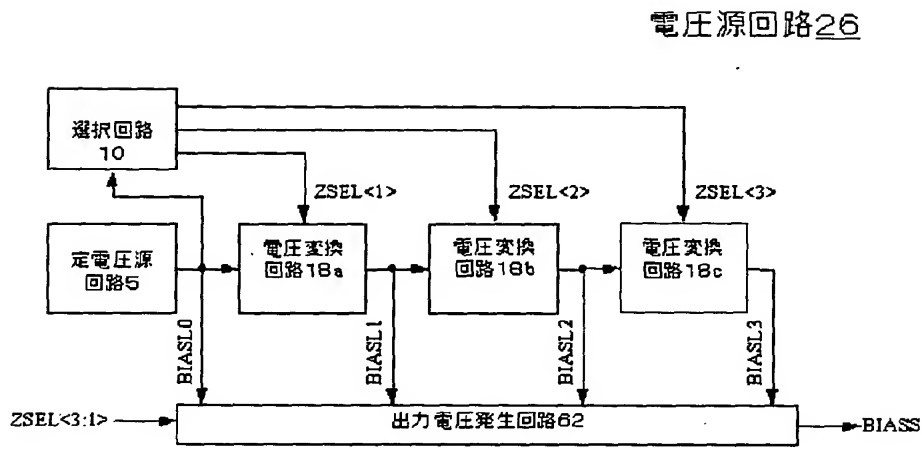
【図 1 9】



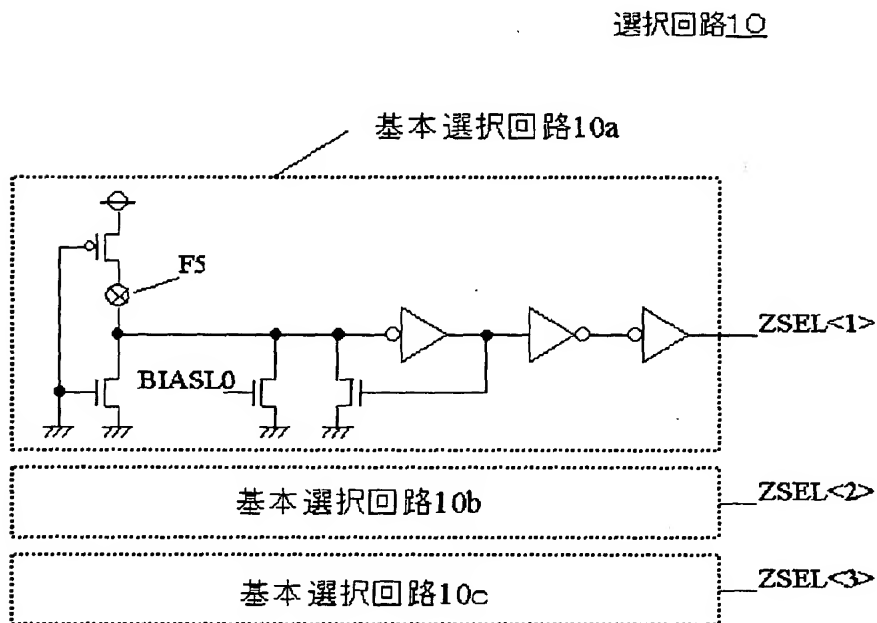
【図 2 0】



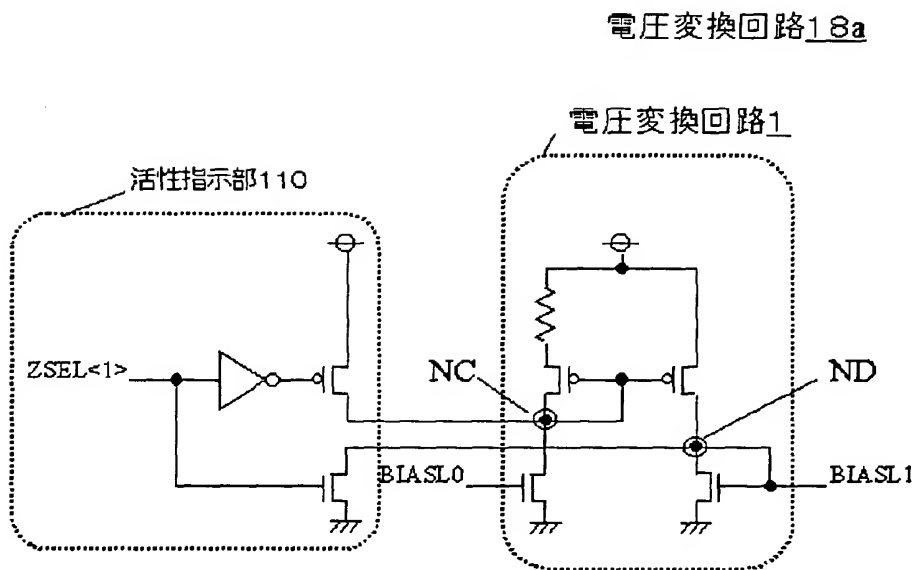
【図 21】



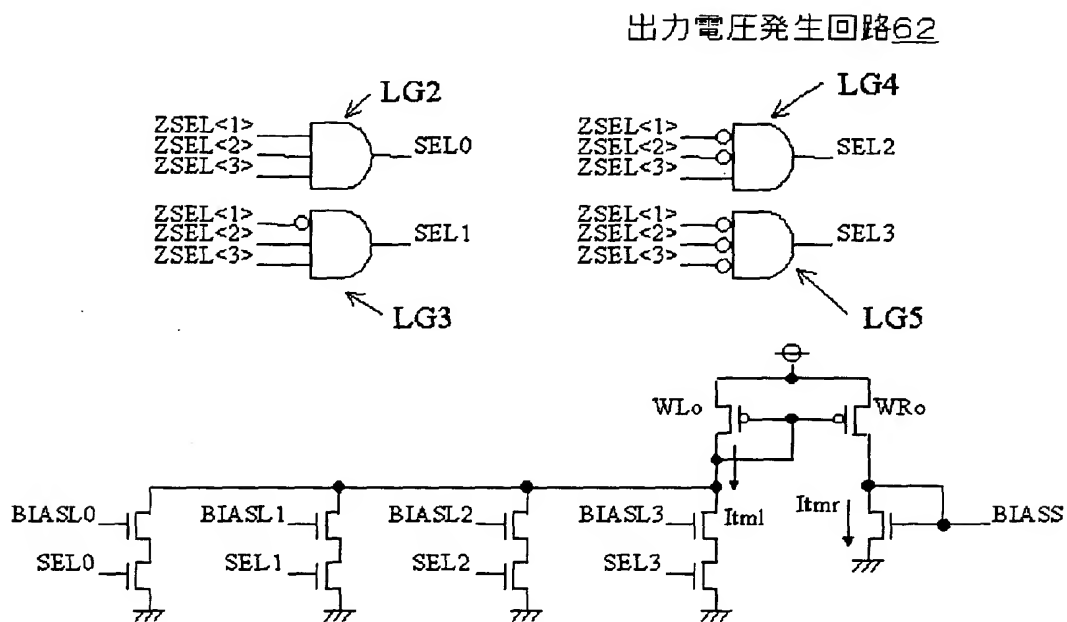
【図 22】



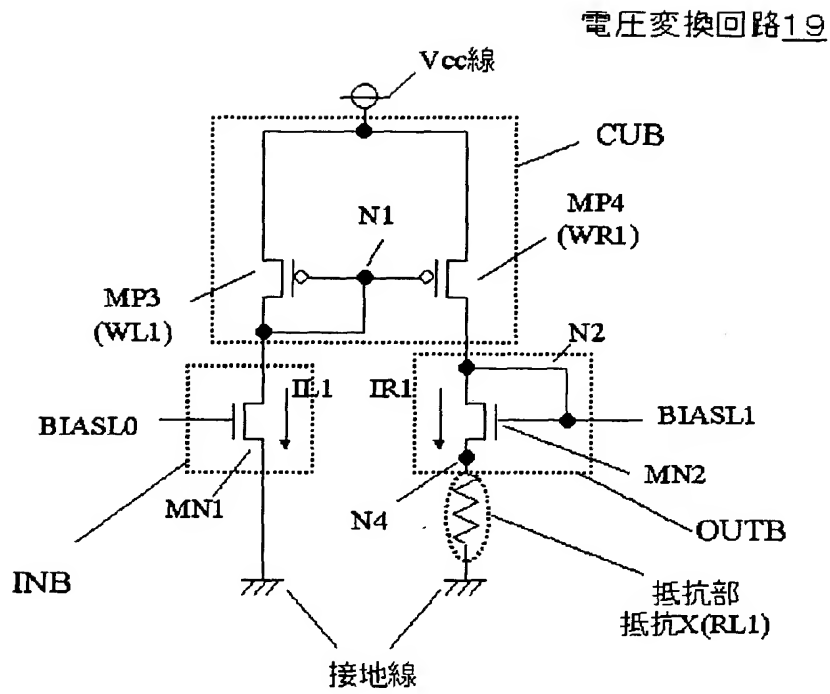
【図23】



【図24】

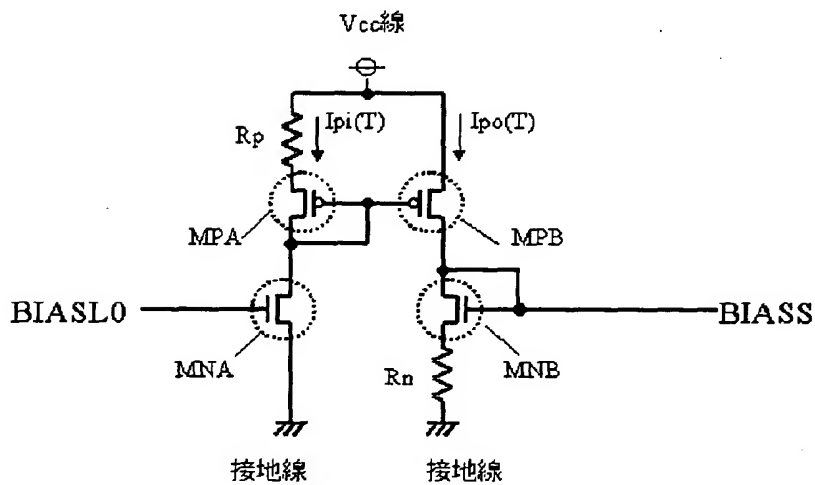


【図 25】



【図 26】

電圧変換回路101



【書類名】 要約書

【要約】

【課題】 出力電圧が温度依存性を有する回路であって、製造ばらつきの影響を抑制することのできる電圧変換回路を提供する。

【解決手段】 電圧変換回路を構成するカレントミラー部もしくは出力部のいずれか一方にしか抵抗部が接続されない構成とするものである。

これにより、いずれか一方の部を構成するトランジスタのSファクタおよび抵抗部の抵抗値により、出力電圧の温度依存性を決定でき、2つの部のトランジスタ間および複数の抵抗材料による製造ばらつきを抑制できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社